

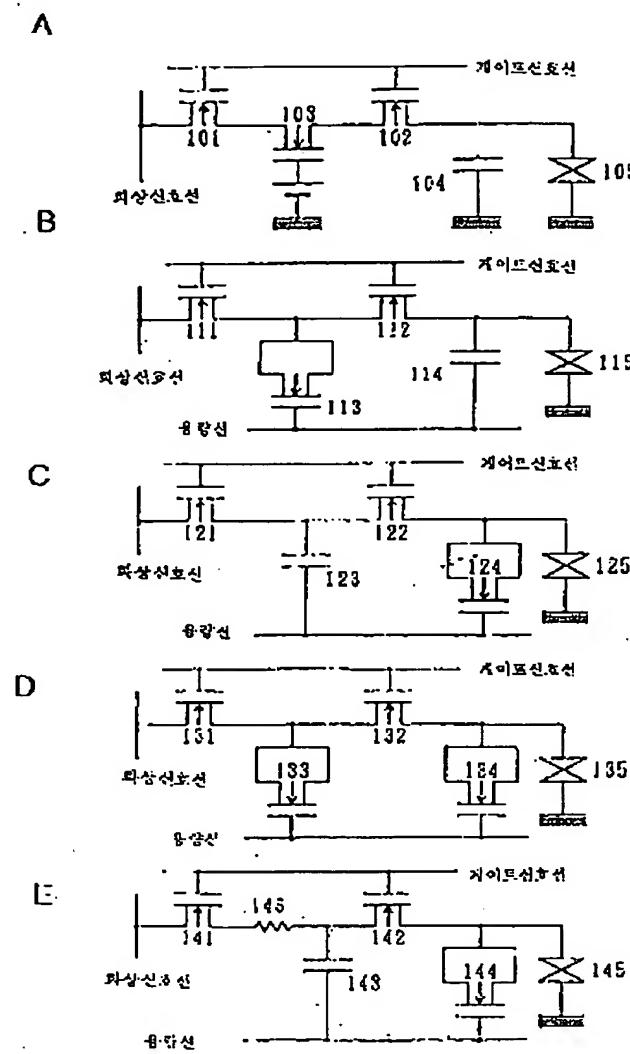
(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. G02F 1/136	(45) 공고일자 (11) 등록번호 (24) 등록일자	2001년05월02일 10-0288039 2001년02월02일	
(21) 출원번호 (22) 출원일자	10-1995-0014661 1995년06월02일	(65) 공개번호 (43) 공개일자	특1996-0001847 1996년01월26일
(30) 우선권주장	94-145574 1994년06월02일 일본(JP) 95-26189 1995년01월20일 일본(JP) 95-30115 1995년01월26일 일본(JP)		
(73) 특허권자	가부시키가이샤 한도오따이 에네루기 켄큐쇼, 야마자끼 순페이 일본 000-000		
(72) 발명자	일본국 가나가와켄 아쓰기시 하세 398 다케무라야스히코 일본 일본국 520 시가켄 오초시 후지미디이 47-7 하마타니토시지 일본 일본국 243 가나가와켄 아쓰기시 하세 987-4 고누마도시미초 일본 일본국 243 가나가와켄 아쓰기시 도무로 796-7 고야마준 일본 일본국 229 가나가와켄 229 사가미하라시니시-하시모토 1-4-23 가와사키유지 일본 일본국 243 가나가와켄 아쓰기시 하세 931-1 플랫 아쓰기 208		
(74) 대리인	황의만		
(77) 실사첨구	실사관: 조경화		
(54) 출원명	표시장치 및 전기광학장치		

요약

본 발명은 활성매트릭스 디스플레이의 오류전류를 감소시키기 위한 구조에 관한 것이다. 활성매트릭스 디스플레이에서, 다수의 TFT가 각픽셀전극과 직렬로 접속되어 있다. 직렬로 접속된 이를 TFT중, 대량 단부에 위치하는 TFT들을 배제하는 적어도 하나의 TFT가 전도성으로 유지된다. 달리는, 적어도 하나의 커패시터가 직렬로 접속된 각 TFT의 드레인과 소스의 접합부와 AC 접지점 사이에서 접속된다. 따라서, TFT의 컷오프동안 보조 커패시터로부터 방출되는 전하량은 감소된다.

대표도**BEST AVAILABLE COPY**



명세서

[발명의 명칭]

표시장치 및 전기광학장치

[도면의 간단한 설명]

제1a도~제1e도는 본 발명에 따른 액티브 매트릭스 회로소자의 부분 회로도.

제2a도는 종래의 액티브 매트릭스회로의 부분 개략회로도.

제2b도~제2d도는 본 발명에 따른 액티브 매트릭스회로의 부분 개략회로도.

제3a도~제3d도는 본 발명에 따른 반도체영역과 게이트의 배치를 나타내는 도면.

제4a도~제4f도는 본 발명에 따른 액티브 매트릭스 회로소자의 제작공정을 나타내는 도면.

제5a도~제5e도는 본 발명에 따른 액티브 매트릭스 회로소자의 제작공정을 나타내는 도면.

제6도는 본 발명에 따른 액티브 매트릭스 회로소자의 구동예를 나타내는 도면.

제7a도~제7d도는 본 발명에 따른 반도체영역과 게이트의 배치예와 회로도.

제8a도~제8c도는 본 발명에 따른 반도체영역과 게이트의 배치를 나타내는 도면.

제9a도~제9f도는 본 발명에 따른 화소전극 등의 배치를 나타내는 도면.

제10a도~제10e도는 본 발명에 따른 액티브 매트릭스 회로소자의 제작공정을 나타내는 도면.

제10f도는 본 발명에 따른 액티브 매트릭스회로의 회로도.

제11a도~제11c도는 본 발명에 따른 화소전극 등의 배치를 나타내는 도면.

제12도는 본 발명에 따른 액티브 매트릭스회로소자의 단면도.

제13도는 본 발명에 따른 TFT의 제작공정을 나타내는 도면.

제14도는 본 발명에 따른 TFT의 제작공정을 나타내는 도면.

제15도는 본 발명에 따른 TFT의 제작공정을 나타내는 도면.

제16도는 본 발명에 따른 TFT의 제작공정을 나타내는 도면.

제17도는 본 발명에 따른 TFT의 제작공정을 나타내는 도면.

제18도는 본 발명에 따른 TFT의 제작공정을 나타내는 도면.

제19도는 본 발명에 따른 TFT의 제작공정을 나타내는 평면도 및 회로도.

제20도는 본 발명에 따른 TFT의 제작공정을 나타내는 평면도 및 회로도.

제21도는 종래의 TFT의 배치를 나타내는 회로도.

제22도는 종래의 다른 TFT의 배치를 나타내는 회로도.

〈도면의 주요부분에 대한 부호의 설명〉

101, 102, 103 : 박막트랜지스터	104 : 보조용량
105 : 액정 셀	111, 112 : 박막트랜지스터
113 : MOS 용량	114 : 보조용량
115 : 액정 셀	121, 122 : 박막트랜지스터
123 : 용량	124 : 보조용량
125 : 액정 셀	131, 132 : 박막트랜지스터
133 : 보조용량	134 : 보조용량
135 : 액정 셀	141, 142 : 박막트랜지스터
143 : 용량	144 : 보조용량
145 : 액정 셀	146 : 레지스터

〔발명의 상세한 설명〕

본 발명은 액티브 매트릭스 표시장치의 구조에 관한 것으로, 더 구체적으로는, 표시화면상의 화질을 향상시키기 위한 회로 및 소자 구조에 관한 것이다.

제 2a 도에 종래의 액티브 매트릭스 표시장치를 개략적으로 나타낸다. 이 도면에서, 점선으로 둘러싸인 영역(204)이 표시영역이고, 이 영역(204)에, 다수의 박막트랜지스터(201)(하나만 도시됨)가 종횡으로(매트릭스상(狀)으로) 배열되어 있다. 박막트랜지스터(201)의 소스전극에 접속된 도전성 배선이 화상신호선(데이터신호선)(206)이고, 박막트랜지스터(201)의 게이트전극에 접속된 도전성 배선이 게이트신호선(선택신호선)(205)이다.

여기서, 구동소자에 대하여 설명한다. 박막트랜지스터(201)는 데이터를 스위칭하고 액정 셀(203)을 구동시키는 작용을 한다. 보조용량(202)(하나만 도시됨)은 액정 셀의 용량을 보강하기 위해 사용되어, 화상데이터를 보유하는 작용을 한다. 박막트랜지스터(201)는 액정재료를 가로질러 인가되는 전극에 의해 지시되는 화상데이터를 스위칭하는데 이용된다. V_{GS} 를 각 박막트랜지스터의 게이트전극이라고 하고, I_o 를 드레인전류하고 하자. $V_{GS} - I_o$ 의 관계가 제 3 도에 나타내어져 있다. 특히 게이트전압(V_{GS})이 박막트랜지스터의 오프영역에 있다면, 드레인전류(I_o)가 증가하고, 그것을 오프전류라고 부른다.

N채널형 박막트랜지스터의 경우, 게이트전압(V_{GS})이 부(負)로 바이어스된 때 흐르는 오프전류는 P형 층과 N형 층 사이에 형성된 PN접합을 통해 흐르는 전류에 의해 규정된다. P형 층은 박막반도체의 표면에 형성되고, N형 층은 소스영역 및 드레인영역에 형성된다. 박막트랜지스터에는 많은 트랩이 존재하기 때문에, 이 PN접합은 불완전하여, 누설전류를 발생하는 경향이 있다. 게이트전극이 부(負)로 더욱 바이어스됨에 따라, 다음과 같은 이유로 오프전류가 증가된다. 박막반도체의 표면에 형성된 P형 층에서의 캐리어 농도가 증가되어, PN접합에서의 에너지 장벽의 폭을 감소시킨다. 그 결과, 전계가 집중되어, 그 접합으로부터의 누설전류가 증가한다.

이렇게 하여 발생된 오프전류는 소스/드레인 전압에 크게 의존한다. 예를 들어, 박막트랜지스터의 소스와 드레인 사이에 인가된 전압이 증가함에 따라, 오프전류가 크게 증가한다는 것은 알려져 있다. 즉, 10 V의 전압이 인가된 때 발생한 오프전류는 소스와 드레인 사이에 5 V의 전압이 인가된 때 발생한 오프전류의 단순히 2배가 아니다. 오히려, 전자의 오프전류대 후자의 오프전류의 비는 10 또는 심지어 100에 달한다. 이러한 비선형성은 게이트전압에도 의존한다. 일반적으로, 게이트전극에 인가된 역바이어스가 큰 경우(N채널형의 경우에는, 큰 마이너스 전압), 상기 비는 크다.

이러한 문제점을 해결하기 위한 시도로서, 일본국 특허공고 평5-44195호와 평5-44196호 공보에 기술된 것과 같은 멀티게이트 방법이 제안되었다. 이 방법에서는, 박막트랜지스터들이 직렬로 접속된다. 이 방법은, 각각의 박막트랜지스터의 소스와 드레인 사이에 인가되는 전압을 감소시켜 개개의 박막트랜지스터의 오프전류를 감소시키는 것을 의도하고 있다. 예를 들어, 제 2b 도에 도시한 바와 같이 2개의 박막트랜지스터가 직렬로 접속된 경우, 개개의 박막트랜지스터의 소스와 드레인 사이에 인가되는 전압이 반감된다. 이것은 상기한 원리 때문에 오프전류를 1/10 또는 심지어 1/100로 감소시킨다.

액티브 매트릭스 회로에는 TFT, 소스선 및 게이트선이 형성된다. 이들 소자는 광의 투과를 방해한다. 즉 전체 면적중, 화상표시에 사용될 수 있는 면적의 비(개구율이라고 한다)가 작다. 전형적으로는, 이 개구율이 30~60%이다. 특히, 강력한 광을 액티브 매트릭스 회로에 조사(照射)하는 투영형 표시장치에 있어서는, 개구율이 작으면, 일사광의 대부분이 TFT와 액정재료에 의해 흡수되어, 이를 TFT와 액정재료가 뜨거워진다. 그 결과 그들의 특성이 열화(劣化)된다.

그러나, 액정표시장치의 화상표시에 요구되는 특성이 더욱 엄격하게 되면, 상기한 멀티게이트 방법에서도 필요한 만큼 오프전류를 감소시키는 것이 어렵다. 특히, 게이트전극의 수(또는 박막트랜지스터의 수)가 3, 4, 5로 증가되면, 각 TFT의 소스와 드레인 사이에 인가되는 전압은 각각 1/3, 1/4, 1/5로 감소한다. 이와 같이, 후자의 전압은 급속하게 감소하지 않는다. 따라서 소스와 드레인 사이의 전압을 1/100로 하기 위해서는 100개나 되는 많은 게이트가 필요하다. 즉, 이 방법에서는, 게이트의 수가 2개인 경우에 가장 효과가 현저하다. 그러나, 그 이상의 게이트가 설치되면, 큰 효과는 기대할 수 없다.

본 발명은 상기한 문제를 감안하여 이루어진 것이다. 화소전극에 접속된 각 TFT(박막트랜지스터)의 소스와 드레인 사이에 인가되는 전압을 통상의 경우의 1/10 이하, 바람직하게는 1/100 이하로 감소시켜, 오프전류를 감소시키는 구조를 가지는 화소회로를 제공하는데 본 발명의 목적이 있다. 이 화소회로는, 상기한 목적에 사용되는 TFT의 수가 충분히 감소되는 것을 특징으로 한다. 바람직하게는, TFT의 수는 5 이하이고 더 바람직하게는 3이다.

본 발명의 다른 목적은, 개구율의 저하없이 광의 조사가 방지된 TFT를 포함하는 액티브 매트릭스 표시장치를 제공하는데 있다.

본 발명의 개념의 기초가 되는 이론이 제 2c 도에 나타내어져 있다. 여기서, TFT(박막트랜지스터)(221, 222)가 직렬로 접속되어 있고, 이를 TFT(221, 222)사이에는 용량(223)이 설치되어, 특히 화소전극측에 위치하는 TFT(222)의 소스와 드레인 사이에 발생된 전압을 저하시키도록 한다. 이것은 TFT(222)의 오프전류를 감소시킨다. 도면에는 용량(224)이 나타내어져 있으나, 이 용량은 반드시 필요한 것은 아니고, 오히려, 이 용량(224)은 기입(writing)중에 부과되는 부담을 증대시킨다. 따라서, 화소 셀(225)의 용량대 용량(223)의 비가 적절하면 용량(224)을 없앨 수도 있다.

이하, 동작에 대하여 상세히 설명한다. 선택신호가 게이트신호선(226)에 보내어진 때, 양 TFT(221, 222)가 "온" 상태로 된다. 화상신호선(227)의 신호에 따라, 용량(223, 224)과 화소 셀(225)이 충전된다. 이들이 완전히 충전된 때, 즉, 평형상태가 얻어졌을 때, TFT(222)의 소스에 인가되는 전압은 TFT(222)의 드레인에 인가되는 전압과 거의 같다.

이 상태에서, 선택신호가 끊어지면, 양 TFT(221, 222)는 "오프"로 된다. 그후, 다른 화소에 대한 신호가 화상신호선(227)에 인가된다. TFT(221)은 유한의 양의 누설전류를 발생한다. 따라서, 용량(223)에 저장된 전하가 방출되어, 전압이 강하게 된다. 그러나, 그 속도는, 제 2a 도에 나타낸 통상의 액티브 매트릭스 회로의 용량(202)에서 나타나는 전압 강하속도와 거의 같다.

한편, TFT(222)에 대해서는, 소스와 드레인 사이의 전압은 초기에는 거의 제로(0)이다. 이 때문에, 오프전류가 매우 약하다. 그후, 용량(223)에서의 전압이 강하하여, 소스와 드레인 사이의 전압이 서서히 증가한다. 이것은 결국 오프전류를 증가시킨다. 분명히, 오프전류의 증가는 화소 셀(225)에서의 전압을 제 2a 도에 나타낸 통상의 액티브 매트릭스 회로의 경우에서보다 충분히 완만하게 강하시킨다.

예를 들어, TFT(201)와 TFT(221)가 유사한 특성을 가지며, 용량(202)에서의 전압이 1프레임 사이에 당초의 10 V로부터 9 V로 90% 변화한다고 가정한다. 제 2a 도의 경우, 화소 셀(203)에서의 전압이 1프레임 사이에 9 V까지 강하하지만, 제 2c 도의 경우에는, 용량(223)에서의 전압이 9 V까지 강하하여도, TFT(222)의 소스와 드레인 사이의 전압이 1 V이기 때문에 오프전류는 극히 작다. 이것은 1프레임이 끝나는 시점에서 말하는 것이다. 따라서, 화소 셀(225)과 용량(224)으로부터 방출된 전하의 누적량은 매우 적다. 따라서, 화소 셀(225)에서의 전압은 10 V로 거의 유지된다.

제 2a 도의 경우와 제 2b 도의 경우를 비교하기는 쉽지 않다. 제 2b 도에서는, TFT의 소스와 드레인 사이에 인가되는 전압은 제 2a 도의 경우에 인가되는 전압(10 V)의 절반(5 V)이다. 제 2c 도에 도시한 TFT(222)의 경우와는 달리, 소스와 드레인 사이의 전압이 1 V일 가능성은 없다. 이것은 본 발명의 한가지 이점이다.

TFT(221, 222)의 채널에 LDD영역(저농도로 도핑된 드레인영역) 또는 오프셋 영역이 삽입되면, 그들 영역이 각각 드레인 레지스터와 소스 레지스터를 형성한다. 이것은 드레인 접합에서의 전계강도를 완하시킨다. 분명히, 이것은 오프전류를 더욱 감소시킨다.

제 2d 도에 도시한 바와 같이 TFT와 용량의 조합이 부가되면, 큰 효과가 얻어질 수 있다. 그러나, 그 효과가 증대하는 비율은, 제 2a 도에 도시한 구조를 제 2c 도에 도시한 구조로 대체한 경우에서보다는 낮다.

상기한 구조에서, 용량(223, 224)은 통상의 용량일 수 있다. 이들 용량중 하나 또는 모두가 MOS 용량이면, 점적화가 보다 효율적으로 달성될 수 있다. 전술한 바와 같이, 용량(224)은 항상 필요한 것은 아니다. 레지스터가 직렬로 삽입된 회로구조를 형성하기 위해 TFT(221)와 TFT(222)와의 사이에 저농도로 도핑된 영역이 형성되면, 오프전류가 더욱 감소될 수 있다.

각각의 용량은 2개의 대향하는 금속전극으로 된 고정적인 용량으로 구성된다. 그 대신에, 각 용량은, 실질적으로 진성인 반도체막상에 게이트 절연막과 게이트전극을 적층시켜 형성된 MOS 용량으로 이루어질 수도 있다. 이 MOS 용량은, 용량이 게이트전극에서의 전위에 따라 변하는 특징이 있다.

MOS 용량의 일례에서는, 3개 이상의 TFT가 각 화소전극에 직렬로 접속된다. 직렬로 접속된 TFT들 중 양 단부에 위치하는 것들을 제외한 것 중의 적어도 하나가 도전상태로 유지되고 용량으로서 사용된다. 다른 예에서는, MOS 용량이 직렬 접속된 TFT들 중의 하나의 드레인과 다른 TFT의 소스와의 접속부에 접속된다. MOS 용량의 게이트전극을 적절한 전위로 유지함으로써, 안정한 정전용량이 얻어진다.

본 발명은, TFT의 채널을 덮도록 소스선이 형성되는 것을 특징으로 한다. TFT는 박막반도체영역 게이트선(게이트전극), 충간절연물 및 소스선을 이 순서로 형성하여 얻어지는 톱 게이트(top gate)형이거나, 또는, 게이트선(게이트전극), 박막 반도체영역, 충간절연물 및 소스선을 이 순서로 형성하여 얻어지는 보텀 게이트(bottom gate)형일 수 있다. 보텀 게이트 TFT를 사용하는 통상의 액티브 매트릭스 회로는 충간절연물을 가지고 있지 않다. 그러나, 본 발명에서는, 채널과 소스선 사이에 절연을 제공하기 위해 충간절연물이 필요하다.

제 21 도와 제 22 도는 종래의 액티브 매트릭스 회로에서의 TFT의 배치를 나타낸다. 게이트선(19)(하나만 도시됨)과 소스선(21)(하나만 도시됨)이 대략 서로 직교하도록 배치되어 있고 지선(支線)(20)(하나만 도시됨)이 게이트선으로부터 연장하고, 박막반도체영역과 겹치도록 되어 있다. 그리하여, 지선(20)은 TFT의 게이트 전극으로서 사용된다. 각 박막반도체영역의 일단에는 화소전극(22)과의 접점(25)이 형성되고, 타단에는 소스선과의 접점(24)이 형성되어 있다.

게이트선과 겹치는 각 박막반도체영역의 부분이 채널(23)이다. 제 21 도와 제 22 도에 도시한 바와 같이, 채널(23)은 소스선(21)로부터 넓게 떨어져 있다. 게이트선으로부터의 지선(20)은 TFT가 차지하는 면적을 증가시켜, 개구율을 저화시킨다.

본 발명에서는, 지선(20)에 대응하는 어떤 구조도 형성되지 않는다. 소스선 아래에는 채널이 형성된다. 이것은 TFT가 차지하는 면적을 감소시킨다. 또한, 개구율이 향상될 수 있다. TFT의 채널은 광에 의해 쉽게 영향을 받는다. 따라서, 전체 TFT는 평상시 둘러싸여 있고, 또한, 차광막이 형성되어 있다. 이것은 개구율을 더욱 낮춘다. 본 발명에서는, 채널을 덮도록 소스선이 형성되어 있어, 외부의 광으로부터 채널을 차폐한다. 따라서 별도의 차광막을 형성할 필요가 없다. 이것은 개구율을 향상시키는데 매우 효과적이다.

이러한 구조의 액티브 매트릭스 회로는 투영형 표시장치에는 매우 효과적으로 사용된다. 상술한 바와 같이, 투영형 표시장치는 높은 개구율을 가질 필요가 있다. 또한, 이 장치는 강력한 광이 조사되기 때문에, TFT가 광으로부터 반드시 차폐되어야 한다. 본 발명에서는, 광이 상기 소스선으로부터 투사된다. 그리하여, 소스선이 TFT의 채널을 광으로부터 차폐시키게 된다. 이하에 본 발명의 실시예를 설명한다.

[실시예 1]

제 1a 도는 하나의 화소 셀(액정 셀)(105)의 하나의 전극에 3개의 박막트랜지스터(TFT)가 접속된 액티브 매트릭스 표시장치를 나타낸다. 이들 TFT 모두는 N채널형이지만, P채널형일 수도 있다. 각 TFT가 저온공정으로 형성된 결정성 규소반도체를 사용하는 경우, P채널형이 적은 오프전류를 발생하고, N채널형보다 덜 쉽게 열화된다.

2개의 TFT(101, 102)가 게이트 배선을 공유하고 게이트신호선에 접속된다. TFT(101)의 소스는 화상신호선에 접속된다. 상시(常時) 도전상태(O/N상태)로 유지되어 있는 다른 TFT(103)가 2개의 TFT(101, 102) 사이에 접속되어 있다. TFT(103)를 상시 도전상태로 유지하기 위해서는, TFT(103)가 화상신호 또는 다른 신호에 의해 거의 영향을 받지 않도록 충분히 높은 정(正)의 전위를 게이트에 인가하는 것이 바람직하다.

예를 들어, 화상신호가 -10 V로부터 +10 V까지에서 변하는 경우, TFT의 게이트는 +15 V 이상, 바람직하게는 +20 V 이상으로 유지된다. 예를 들어, TFT(103)의 게이트에서의 전위가 +11 V이면, 게이트와 소스 사이의 전위차는 스레시홀드 전압 부근에서, 즉, +1V로부터 +11 V까지에서 변동한다. 또한, TFT(103)에 의해 얻어진 용량이 크게 변동한다. 한편, TFT(103)의 게이트에서의 전위가 +20 V이면, 게이트와 소스 사이의 전위차는 +10 V로부터 +30 V까지에서 변동하지만, 스레시홀드 전압으로부터 충분히 떨어져, 있어 TFT(103)에 의해 얻어지 용량은 거의 변동하지 않는다.

액정 셀(105)과 보조용량(104)은 TFT(102)의 드레인에 접속되고, 액정 셀(105)의 다른 전극과 보조용량(104)의 다른 전극은 접지된다. 액정 셀(O/O)의 용량이 충분히 크면, 보조용량(104)은 없앨 수 있다. MOS 용량(103)의 용량대 보조용량(104)과 액정 셀(105)의 용량의 합의 비율은 최적으로 결정된다.

이하, 제 1a 도에 도시한 구성의 동작을 설명한다. '하이'(high) 레벨의 전압이 2개의 TFT(101, 102)의 게이트에 인가되어, 이들 TFT가 '온' 상태로 되게 한다. 화상신호에 대응한 전류가 TFT(101)의 소스를 통해 흐른다. 상시 도전상태로 유지되고 TFT(101)의 드레인에 접속된 TFT(103)는 용량으로서 작용하고 충전을 개시한다. TFT(103)는 상시 도전상태로 유지되기 때문에, TFT(102)의 소스로부터 드레인으로 전류가 흘러, 보조용량(104)과 액정 셀(105)을 충전시킨다.

그후, '로우'(low) 레벨의 전압이 TFT(101, 102)의 게이트에 인가되면, 그들 TFT가 바이어스되어 '오프' 상태로 된다. TFT(101)의 소스에서의 전압이 강하하여, 상시 도전상태로 유지된 TFT(103)를 통해 오프전류가 흘러, 방전을 개시한다. 그러나, 상시 도전상태의 TFT(103)의 용량이 화소에 접속된 TFT의 드레인과 소스사이의 전압강하를 지연시킨다. 따라서, 보조용량(104)과 액정 셀(105)로부터 방출되는 전하량이 감소한다. 액정 셀(105)로부터 방출되는 전하량은 다음 화면에서 TFT가 도전상태로 구동될 때까지 억제된다. 이와 같이 변하는 드레인전압이 제 6 도에서 곡선(a)로 나타내어져 있다.

다시 제 1a 도를 참조하여, 상시 도전상태의 N채널형 TFT(103)가 생략된 회로를 설명한다. 2개의 N채널형 TFT(101, 102)는 게이트 배선을 공유한다. 액정 셀(105)과 보조용량(104)은 TFT(102)의 드레인에 접속된다. 이것이 제 2b 도에 도시된 회로이고, 소위 멀티게이트 회로로서 알려져 있다.

먼저, '하이' 레벨의 전압이 2개의 TFT(101, 102)의 게이트에 인가되어, 이들을 '온' 상태로 되게 한다. TFT들의 소스를 통해 전류가 흘러, 보조용량(104)과 액정 셀(105)이 충전된다.

그후, '로우' 레벨의 전압이 TFT(101, 102)의 게이트에 인가된다. 그 결과, TFT(101, 102)가 바이어스되어 '오프' 상태로 된다. TFT(101)의 소스에서의 전압이 강하한다. 이것은 TFT(102)의 드레인에서의 전압을 강하시킨다. 따라서, 보조용량(104)과 액정 셀(105)이 방전을 개시한다. 이렇게 변하는 드레인전압이 제 6 도에 곡선(b)로 나타내어져 있다. 방출되는 전하량은 곡선(a)로 나타낸 경우에 방출되는 전하량보다 크다. 또한, 전압강하도 크다.

본 실시예는 본 발명의 효과를 일증시킨다. TFT(102, 103)와 유사한 TFT가 TFT(102)와 TFT(104) 사이에 삽입되면, 제 2d 도에 도시한 구조에서 와 마찬가지로, 큰 효과가 얻어질 수 있다.

[실시예 2]

제 1b 도는 하나의 화소전극에 2개의 TFT가 접속된 액티브 매트릭스회로의 화소의 일 예를 나타낸다. 그 TFT 모두는 N채널형이지만, 이들이 P 채널형으로 되어도 동일한 효과가 얻어질 수 있다.

2개의 TFT(111, 112)가 게이트 배선을 공유하고 게이트 신호선에 접속되고, 각 TFT의 소스와 드레인 사이에 MOS 용량(113)이 접속된다. MOS 용량(113)은 통상의 TFT의 소스를 드레인에 단락시켜 형성될 수도 있다. MOS 용량은 N채널형 TFT를 사용하기 때문에, 게이트가 적절한 정(正)의 전위로 유지되면, MOS 용량이 용량으로서 작용한다. MOS 용량이 안정하게 기능하기 위해서는, 실시예 1의 TFT(103)의 게이트와 마찬가지로, 전위가 충분히 높은 전위로 유지되는 것이 바람직하다.

본 발명을 실시하기 위해서는, 해당 화소가 선택되어 있지 않은 시간의 대부분동안 MOS 용량(113)의 게이트가 상기한 전위로 유지될 필요가 있다. 화소가 선택된 때, 즉, 화상신호선상에 나타나는 신호가 화소에 기입될 때, MOS 용량(113)의 게이트가 상기한 전위로 유지되는 것이 바람직하다. 보조용량(114)과 MOS 용량(113)의 게이트전극이 게이트신호선에 평행하게 연장하는 용량선에 접속되고, 상기한 목적을 위한 전위로 유지된다.

액정 셀(115)과 보조용량(114)은 TFT(112)의 드레인에 접속되고, TFT(111)의 소스가 화상신호선에 접속된다. 액정 셀(115)의 용량이 충분히 크면, 보조용량(114)은 불필요하다.

이하, 제 1b 도에 도시된 구성의 동작을 설명한다. 간락화를 위해, MOS 용량(113)의 게이트가 충분히 높은 정의 전위로 유지되어 있다고 가정한다. 먼저, "하이" 레벨의 전압이 2개의 TFT(111, 112)의 게이트에 인가되어 이들을 도전상태로 바이어스시킨다.

그 결과, TFT(111)의 소스를 통해 전류가 흐르고, TFT(111)의 드레인에 접속된 MOS 용량(113)이 충전되기 시작한다. TFT(112)의 소스전극으로부터 드레인으로 전류가 흘러, 보조용량(114)과 액정 셀(115)을 충전시킨다.

그후, "로우" 레벨의 전압이 TFT(111, 112)의 게이트전극에 인가되어, 이들 TFT가 "오프" 상태로 된다. TFT(111)의 소스전극에서의 전압이 강하고, 그 TFT로부터의 오프전류가 MOS 용량(113)을 충전시키기 시작한다. 그러나, MOS용량(113)이 화소에 접속된 TFT의 드레인과 소스 사이의 전압의 강하를 지연시킨다. 보조용량과 액정 셀(115)로부터 방출되는 전하량이 감소한다. 액정 셀(115)로부터 방출되는 전하량은, 다음 화면에서 TFT가 도전상태로 될 때까지 억제된다. 이 동작중에 발생한 신호의 파형은 실시예 1에서의 파형과 동일하다.

[실시예 3]

제 1c 도는 하나의 화소전극에 2개의 TFT가 접속된 액티브 매트릭스회로의 화소의 일 예를 나타낸다. 그 TFT 모두는 N채널형이지만, 이들이 P 채널형이라도 동일한 효과가 얻어질 수 있다.

2개의 TFT(121, 122)가 게이드 배선을 공유하고 게이트신호선에 접속되며, 용량(123)이 각 TFT의 소스와 드레인 사이에 접속된다.

보조용량(124)이 MOS 용량을 사용하여 형성된다. 특히, 보조용량(124)은 실시예 2의 MOS 용량(113)의 경우와 같이, 통상의 TFT의 소스를 드레인에 단락시킴으로써 형성된다. 이 MOS 용량은 N채널형 TFT로 구성되기 때문에, 게이트가 적절한 정의 전위로 유지되면, N채널형 TFT가 용량으로서 작용한다. N채널형 TFT가 안정하게 작용하기 위해서는, 실시예 2의 MOS 용량(113)의 게이트와 마찬가지로, 게이트가 충분히 높은 정의 전위로 유지되는 것이 바람직하다.

본 발명을 실시하기 위해서는, 해당 화소가 선택되어 있지 않은 시간의 적어도 대부분동안 MOS 용량(124)의 게이트가 상기한 전위로 유지될 필요가 있다. 화소가 선택된 때, 즉, 화상신호선상에 나타나는 신호가 화소에 기입될 때, 보조용량(124)의 게이트가 상기한 전위로 유지되는 것이 바람직하다. 용량(123)과 MOS 용량(124)의 게이트전극은 게이트신호선에 평행하게 연장하는 용량선에 접속되고, 상기한 목적을 위한 전위로 유지된다.

액정 셀(125)과 보조용량(124)은 TFT(122)의 드레인에 접속되고, TFT(121)의 소스는 화상신호선에 접속된다. 이렇게 구성된 회로소자는 실시예 1 및 2에서와 마찬가지로 동작한다.

[실시예 4]

제 1d 도는 하나의 화소전극에 2개의 TFT가 접속된 액티브 매트릭스회로의 화소의 일 예를 나타낸다. 이 TFT 모두는 N채널형이지만, 이들이 P 채널형이라도 동일한 효과가 얻어질 수 있다.

2개의 TFT(131, 132)가 게이트 배선을 공유하고 게이트신호선에 접속되며, 각 TFT의 소스와 드레인 사이에 용량(133)이 접속된다. 이 보조용량(133)은 실시예 2의 MOS 용량(113)의 경우와 마찬가지로, 통상의 TFT의 소스를 드레인에 단락시킴으로써 형성된다.

본 실시예에서는, 보조용량(134)이 MOS 용량을 사용하여 형성된다. 이 MOS 용량이 N채널형 TFT로 구성되기 때문에, 게이트가 적절한 정의 전위로 유지되면, N채널형 TFT가 용량으로서 작용한다. N채널형 TFT가 안정하게 용량으로서 작용하기 위해서는, 실시예 2의 MOS 용량(113)의 게이트와 마찬가지로, 게이트가 충분히 높은 정의 전위로 유지되는 것이 바람직하다. 본 발명을 실시하기 위해서는, 해당 화소가 선택되어 있지 않은 시간의 적어도 대부분동안 MOS 용량의 게이트가 상기한 전위로 유지될 필요가 있다.

화소가 선택된 때, 즉, 화상신호선상에 나타나는 신호가 화소에 기입될 때, 보조용량의 게이트가 상기한 전위로 유지되는 것이 바람직하다. MOS 용량(133, 134)의 게이트전극이 게이트신호선에 평행하게 연장하는 용량선에 접속되고, 상기한 목적을 위한 전위로 유지된다.

액정 셀(135)과 보조용량(134)이 TFT(132)의 드레인에 접속되고, TFT(131)의 소스는 화상신호선에 접속된다. 이렇게 구성된 회로소자는 실시예 1~3에서와 마찬가지로 동작한다.

[실시예 5]

제 1e 도는 하나의 화소전극에 2개의 TFT가 접속된 액티브 매트릭스회로의 화소의 일 예를 나타낸다. 이 TFT 모두는 N채널형이지만, 이들이 P채널형이라도 동일한 효과가 얻어질 수 있다.

2개의 TFT(131, 132)가 게이트 배선을 공유하고 게이트신호선에 접속되며, 각 TFT의 소스와 드레인 사이에 용량(143)이 접속된다. 오프전류를 더욱 줄이기 위해, TFT(141, 142) 사이에 레지스터(146)가 직접 삽입된다. 이 레지스터(146)는 TFT(141, 142)를 구성하는 반도체막에 저농도로 도핑된 영역을 형성함으로써 형성될 수 있다.

보조용량(144)은 실시예 3에서와 마찬가지로 MOS 용량을 사용하여 형성된다. 이 MOS 용량은 실시예 3에서와 마찬가지로 N채널형 TFT로 구성되기 때문에, 게이트가 적절한 정의 전위로 유지되면, N채널형 TFT가 용량으로서 작용한다. N채널형 TFT가 안정하게 용량으로서 작용하기 위해서는, 실시예 3의 MOS 용량(123)의 게이트와 마찬가지로 전위가 충분히 높은 정의 전위로 유지되는 것이 바람직하다. 본 발명을 실시하기 위해서는, 해당 화소가 선택되어 있지 않은 시간의 적어도 대부분동안 MOS 용량(144)의 게이트가 상기한 전위로 유지될 필요가 있다.

화소가 선택되었을 때, 즉, 화상신호선상에 나타나는 신호가 화소에 기입될 때, 보조용량(144)의 게이트가 상기한 전위로 유지되는 것이 바람직하다. MOS 용량(143, 144)의 게이트전극은 게이트신호선에 평행하게 연장하는 용량선에 접속되고, 상기한 목적을 위한 전위로 유지된다.

액정 셀(145)과 보조용량(144)은 TFT(142)의 드레인에 접속되고, TFT(141)의 소스는 화상신호선에 접속된다. 이렇게 구성된 회로소자는 실시예 1~4에서와 마찬가지로 동작한다.

[실시예 6]

본 실시예는 실시예 1~4의 회로를 제작하는 공정순서에 관한 것이다. 본 실시예에서는, 게이트전극이 양극산화되어 오프셋 게이트를 형성한다. 이것은 오프전류를 감소시킨다. 게이트전극을 양극산화하는 기술은 일본국 공개특허공고 평5-267667호 공보에 개시되어 있다.

제 4a 도~제 4d 도에 본 실시예의 공정을 나타낸다. 먼저, 코닝 7059 유리로 된 기판(401)상에 두께 1000~3000 Å, 예를 들어, 3000 Å의 하지막(下地膜)(402)으로서 산화규소막을 퇴적한다. 기판(401)의 크기는 100 mm×100 mm이었다. 산화규소막을 퇴적하기 위해서는, 플라즈마 CVD법에 의해 TEOS를 분해시켜 퇴적한다. 이 공정은 스팍터법에 의해 실행될 수도 있다.

그후, 두께 300~1500 Å, 예를 들어, 500 Å의 비정질 규소막을 플라즈마 CVD법 또는 LPCVD법에 의해 성막한 다음, 그 구조물을 550~600°C로 유지된 분위기에서 8~24시간 방치하여 비정질 규소막을 결정화시킨다. 이때, 미량의 니켈을 첨가하여 결정화를 촉진시킬 수 있다. 결정화온도를 낮추고 결정화시간을 단축시키기 위한 기술이 일본국 공개특허공고 평6-244104호 공보에 개시되어 있다.

이 결정화공정은 레이저 조사에 의한 광 어닐에 의해 실행될 수도 있다. 또한, 열 어닐과 광 어닐을 조합하여 이용할 수도 있다. 이렇게 하여 결정화된 규소막을 에칭하여, 성형상 영역(403)을 형성하고, 그 성형상 영역(403)상에 게이트 절연막(404)을 형성한다. 본 실시예에서는, 플라즈마 CVD법에 의해 두께 700~1500 Å, 예를 들어, 1200 Å의 산화규소막이 형성되었다. 이 공정은 스팍터법에 의해 행해질 수도 있다.

그후, 스팍터법에 의해, 1 중량%의 Si 또는 0.1~0.3 중량%의 Sc을 함유하는 두께 1000 Å~3 μ, 예를 들어, 5000 Å의 알루미늄막을 성막하고, 이 막을 에칭하여 게이트전극(405, 406, 407)을 형성하였다.(제 4a 도)

이후, 전해용액내에서 게이트전극에 전류를 통과시켜 게이트전극을 양극산화 시켰다. 이와 같이 하여, 두께 500~2500 Å, 예를 들어, 2000 Å의 양극산화막이 형성되었다. 사용된 전해용액은, L-주석산을 에틸렌 글리콜로 5%의 농도로 희석하고 암모니아로 pH를 7.0±0.2로 조정하여 얻어졌다. 이 용액내에 기판을 넣고, 정전류원의 +단자를 기판의 게이트전극에 접속하고, -단자에는 백금전극을 접속시키고, 전류를 20 mA로 유지하면서 전압을 인가했다. 전압이 150 V에 도달할 때까지 산화를 계속하였다. 이어서, 전류가 0.1 mA 아래로 떨어질 때까지 전압을 150 V로 유지하면서 산화를 계속하였다. 그 결과, 2000 Å의 두께를 갖는 산화알루미늄막(408, 409, 410)이 얻어졌다.

이어서, 게이트전극부(게이트전극과 그의 주위의 양극산화막부분)를 마스크로하여, 이온 도핑법에 의해 자기정합적으로 불순물(본 실시예에서는, 인)을 성형상 영역(403)에 주입하였다. 도편트 가스로서 포스핀(PH_3)이 사용되었다. 이 경우, 도즈량은 $1 \times 10^{14} \sim 5 \times 10^{15}$ 원자/ cm^2 이고, 가속전압은 60~90 KV이었다. 예를 들어, 도즈량은 1×10^{15} 원자/ cm^2 이고, 가속전압은 80 KV이었다. 그 결과, N형의 도핑된 영역(N형 불순물영역)(411~414)이 형성되었다.(제 4b 도)

그 N형 불순물영역(411~414)을 활성화시키기 위해, 248 nm의 파장과 20 nsec의 펄스폭을 가지는 KrF 엑시머 레이저광을 조사하였다. 그 레이저광의 에너지밀도는 200~400 mJ/ cm^2 , 바람직하게는 250~300 mJ/ cm^2 이었다. 이 공정은 열어닐을 이용할 수도 있다. 니켈과 같은 측매원소가 함유된 경우, N형 불순물영역이 일본 공개특허공고 평6-267989호 공보에 기술된 바와 같이 통상의 공정에서보다 낮은 온도에서의 열 어닐에 의해 활성화될 수 있다.

이렇게 하여, N형 불순물영역이 형성되었다. 본 실시예에서는, 상기 N형 불순물영역이 양극산화물의 두께와 같은 거리 만큼, 게이트전극으로부터 떨어져 있다. 즉, 오프셋 게이트가 형성되었다.

이어서, 플라즈마 CVD법에 의해 5000 Å의 두께를 갖는 층간절연물(415)로서 산화규소막을 형성하였다. 이때, 기체상 원료로서 TEOS와 산소가 사용되었다. 층간절연물(415)과 게이트 절연막(404)을 에칭하고, 상기 N형 불순물영역(411)에 콘택트 훈을 형성하였다. 이어서, 스팍터법에 의해 알루미늄막을 형성하고, 그 알루미늄막을 에칭하여 소스 전극·배선(416)을 형성하였다. 이들은 화상신호선의 연장이다.(제 4c 도)

그후, 패시베이션막(417)을 형성했다. 본 실시예에서는, NH_3 , SiH_4 및 H_2 의 혼합가스를 사용하여 플라즈마 CVD법에 의해 질화규소막을 패시베이션막으로서 2,000~8,000 Å, 예를 들어, 4000 Å의 두께로 성장시켰다. 패시베이션막(417), 층간 절연막(415) 및 게이트 절연막(404)을 에칭하여, 양극산화막(409)위에 훈(hole)을 형성하였다. 화소전극과의 접속을 위한 콘택트 훈이 N형 불순물영역(414)에 형성되었다. 이어서, 인듐·주석·산화물(ITO)을 막으로서 스팍터한 다음, 이 ITO막을 에칭하여 화소전극(418)을 형성하였다.

화소전극(418)은 게이트전극(406)으로부터 반대쪽의 양극산화막(409)의 측부에 위치되었다. 그리하여 용량(419)이 형성되었다. N형 불순물영역(412, 413)이 같은 전위로 유지되면, 게이트전극(406)과 그 아래의 규소반도체 사이에 MOS 용량이 형성되고, 그 MOS 용량은 유전체로서 게이트 절연막(404)을 사용한다.

N채널형 TFT(421, 422)와 용량(419, 420)을 갖는 액티브 매트릭스 회로소자가 형성되었다. 본 실시예에서는, 화소전극이 MOS 용량의 게이트와 협동하여 용량을 형성하고, 따라서, 회로는 제 1a 도와 제 1b 도에 나타낸 회로와 같다.

제 4a 도~제 4f 도는 단면도이고, 제 3a 도~제 3d 도는 이들 단면도에 나타난 구조의 평면도이다. 본 실시예에서, 게이트전극이 제 3a 도에 나타난 바와 같이 섬형상 영역(403)을 교차하면, 게이트(406)에 의해 TFT가 형성된다. 한편, 게이트(406)가 제 3b 도~제 3d 도에 나타난 바와 같이 섬형상 영역(403)을 교차하지 않으면, MOS 용량이 형성된다.

어떠한 경우에서도, 게이트전극(406)을 적정한 전위로 함으로써, 게이트전극 아래의 실질적으로 진성인 반도체영역에 채널이 유기(誘起)될 수 있다. 그 결과, 용량이 형성된다. 제 3a 도에 나타난 회로 구조의 경우, 채널의 저항성분이 채널의 양 측부에 위치한 2개의 TFT과 직렬로 삽입된다.

레지스터를 보다 적극적으로 도입하기 위해, 불순물을 먼저 고농도로 도입(제 4b 도에 도시된 공정)한 다음, 낮은 농도로 도입한다. 저농도로 도핑된 영역(480)(제 7a 도 참조)이 게이트전극(406)에 근접해서만 형성되면, 특히 바람직한 결과가 얻어진다. 저농도로 도핑된 영역은 다른 불순물영역(411~414)보다 높은 시트 저항률을 갖는다. 따라서, 제 7b 도에 나타난 회로가, 제 3a 도에 나타난 바와 같이 2개의 TFT 사이에 다른 TFT가 직렬로 삽입된 구조에 대응하는 회로(제 7a 도)로부터 얻어진다.(제 7a 도와 제 7b 도)

제 3b 도에 나타난 구조에 대응하고, MOS 용량이 2개의 TFT 사이에 접속된 회로의 경우, 제 7d 도에 나타난 회로가 유사하게 얻어진다.(제 7c 도와 제 7d 도)

어떠한 경우에도, 레지스터(저농도로 도핑된 영역)(480)가 오프전류를 감소시키도록 작용한다. 본 실시예에서는, 게이트가 3개나 존재하지만, 2개의 접점만이 필요하다. 다층배선을 이용하여 용량이 형성되기 때문에, 절유면적이 좁다.

제 3a 도는 표준 TFT를 나타내고, 제 3b 도는 표준 MOS 용량을 나타낸다. 액티브 매트릭스 회로소자에 사용된 TFT의 채널폭이 일반적으로 좁기 때문에, 게이트(406)의 폭이 충분히 크게 만들어지지 않으면, 충분한 용량을 확보하는 것이 어렵다. 이 경우, 섬형상 영역(403)이 제 3c 도에 나타난 바와 같은 MOS 용량의 부분에서만 넓혀진다. 또한, 게이트(406)의 모양은 제 3d 도에 나타난 바와 같이 변형될 수 있다.

그러나, 충분한 용량이 이를 방법중 어느 것을 사용하여서도 얻어질 수 없으면, 섬형상 영역은 제 8a 도~제 8c 도에 나타난 바와 같이 대략 U자형 또는 말발굽 형태로 변형된다. 게이트신호선과 용량선이 U자형의 섬형상 영역과 겹치도록 만들어진다. 즉, 반도체막이 게이트신호선 또는 게이트전극(405, 407)과 두 곳에서 겹치고, 용량선 또는 게이트전극(406)과 한 곳에서 겹친다. 게이트신호선은 용량선에 평행하게 연장하도록 형성된다. 이 경우에, 게이트(405, 407)는 동일 직선상에 형성될 수 있다. 이것은 레이아웃의 면에서 유리하다.

제 8a 도에서, 게이트전극(406)이 반도체영역을 분할하여, 그 회로가 제 3a 도에 나타난 회로와 유사하다. 제 8a 도에 나타난 구조는, 반도체영역이 화상신호선과 접촉한 영역(411), 화소전극과 접촉한 영역(414), 및 2개의 N형 또는 P형 영역(412, 413)을 가지는 것을 특징으로 한다. 이들 두 영역(412, 413)은 용량선과 게이트신호선에 의해 분리된다.

제 8b 도에 나타난 바와 같이 용량선이 반도체막과 완전히 겹치지 않고, 덮혀 있지 않은 반도체영역(481)이 형성되어도, 어떤 문제도 일어나지 않는다. 필요한 것은, 영역(412, 413)이 게이트신호선(즉, 게이트전극(403, 407)) 및 용량선(즉, 게이트 전극(406))에 의해 분리되는 것이다.

한편, 제 8c 도에서, 반도체영역(412, 413)은 게이트전극(406)에 의해 분할되지 않고, 따라서, 회로는 제 3b 도에 나타난 회로와 유사하다.

이렇게 하여, 주로 반도체막 또는 활성층의 형상을 고안함으로써, 회로의 접속도를 향상시킬 수 있다. 제 2d 도에 나타난 바와 같은 5개 TFT를 사용하여 스위칭소자를 형성하면, 반도체막이 N자 또는 S자와 같은 모양을 이룬다. 행선택 신호선과 게이트신호선이 이러한 반도체막과 겹치도록 만들어진다.

[실시예 7]

본 실시예를 제 4e 도에 단면으로 나타낸다. 본 실시예에서는, 2개의 N채널형 TFT(452, 453) 사이에 게이트(454)가 형성되고, 그 게이트(454)와 그 아래의 규소반도체 사이에 MOS 용량(450)이 형성된다. 그 MOS 용량(450)은 유전체로서 게이트 절연막을 사용한다. 마찬가지로, 다른 MOS 용량(451)을 형성하기 위하여 TFT(453)와 화소전극(457)의 접점 사이에 다른 게이트(455)가 형성된다. 금속배선(456)은 화상신호선의 연장이다.

본 실시예에서, 제1 MOS 용량(450)이 TFT(452)와 TFT(453) 사이에 형성되고, 제2 MOS 용량(451)이 화소전극(457)과 TFT(453) 사이에 형성된다. 따라서, 본 실시예는 제 1d 도에 나타난 구조에 상응한다. 본 실시예에서는 게이트가 4개나 존재하지만, 2개의 접점만이 필요하다. 따라서, 절유영역이 비교적 작게 만들어질 수 있다.

[실시예 8]

본 실시예를 제 4f 도에 단면으로 나타낸다. 본 실시예에서는, 금속배선(474)이 2개의 N채널형 TFT(472, 473) 사이의 계면으로부터 연장한다. TFT(473)와 화소전극(476) 사이에 게이트(477)가 형성되고, 금속배선(474)이 그 게이트(477)의 상면으로 연장한다. 용량(470)이 유전체로서 양극산화물을 이용하여 형성되고, 다른 MOS 용량(471)이 유전체로서 게이트 절연막을 사용하여 형성된다. 그 게이트 절연막은 게이트(477)와 그 아래의 규소반도체층 사이에 위치한다. 금속배선(475)은 화상신호선의 연장이다.

본 실시예에서는, MOS 용량의 게이트(471)와 TFT(472, 473)로부터 연장하는 도전성 배선(474) 사이에 용량이 형성된다. MOS 용량이 화소전극(476)에 평행하기 때문에, 구조는 제 1c 도에 나타난 구조와 상응한다.

[실시예 9]

본 실시예의 공정순서를 제 5a 도~제 5e 도에 나타낸다. 먼저, 기판(501)상에 하지막(502)으로서 산화규소막을 2000 Å의 두께로 퇴적한다. 결정성 규소막으로부터 성형상 영역(503)을 형성하고, 그 성형상 영역(503)상에 게이트 절연막(504)을 형성한다.

그 다음, 스퍼터법에 의해 두께 5000 Å의 알루미늄막을 형성한다. 후에 실행되는 다공질 양극산화막 형성공정에서 포토레지스트에 대한 밀착성을 개선하기 위해, 100~400 Å의 두께를 갖는 얇은 양극산화막을 알루미늄막의 표면상에 형성한다.

이어서, 약 1 μm의 두께를 갖는 포토레지스트막을 스핀 코팅법에 의해 형성하고, 게이트전극(505, 506, 507)을 공자의 포토리소그래피법에 의해 에칭하였다. 포토레지스트(508, 509, 510)의 마스크는 게이트전극상에 잔존시켰다.(제 5a 도)

다음에, 기판을 10% 수산수용액에 담그고, 기판상의 게이트전극(505, 507)에 정전류원의 +단자를 접속하고, -단자에는 백금전극을 접속하여, 양극산화공정을 행하였다. 이 기술은 일본 공개특허공고 평6-338612호 공보에 개시되어 있다. 이때, 양극산화는 5~50 V, 예를 들어, 8 V의 정전압에서, 10~500분, 예를 들어, 200분간 실행되었다. 그 결과, 두께 5000 Å의 다공질 양극산화물(511, 512)이 게이트전극(505, 507)의 측면에 형성되었다. 얻어진 양극산화물은 다공질이었다. 게이트전극의 상면에 마스크재(材)(508, 510)가 존재하기 때문에, 그곳에서는 양극산화공정이 거의 진행되지 않았다. 전류가 게이트전극(506)을 통과하지 않기 때문에, 게이트전극(506)상에서는 양극산화물이 형성되지 않았다.(제 5b 도)

그후, 마스크재를 제거하여, 게이트전극의 상면을 노출시킨다. 실시예 6에서와 같은 방법으로, L-주석산이 5%의 농도로 에틸렌 글리콜로 회석되고, 암모니아로 pH가 7.0±0.2로 조정되었다. 양극산화공정을 행하기 위하여 전해용액안의 게이트 전극(505, 506, 527)에 전류를 통과시켰다. 그리하여, 500~2500 Å, 예를 들어, 2000 Å의 두께를 갖는 양극산화물이 형성되었다. 그 결과, 두께, 2000 Å의 치밀한 알루미늄 피막(513, 514, 515)이 얻어졌다.

그후, P형의 영역(P형 불순물영역)을 형성하기 위해, 게이트전극부를 마스크로 하여 자기정합적으로 불순물(본 실시예에서는, 봉소)을 성형상 규소영역(503)에 주입하였다. 본 실시예에서는, 도편트 가스로서 디보란(B_2H_6)이 사용되었다. 도즈량은 $1 \times 10^{14} \sim 5 \times 10^{15}$ 원자/cm²이고, 가속전압은 40~90 kV이었다. 예를 들어, 도즈량은 1×10^{15} 원자/cm²이고, 가속전압은 65 kV이었다. 그 결과, P형의 도핑된 영역(P형 불순물영역)(516~519)이 형성되었다.(제 5c 도)

P형 불순물영역(516~519)을 활성화시키기 위해, 248 nm의 파장과 20 nsec의 펄스폭을 갖는 KrF 엑시머 레이저광을 기판에 조사하였다. 그 다음, 플라즈마 CVD법에 의해 층간절연막(520)으로서 두께 3000 Å의 산화규소막을 성막하고, 그 층간절연막(520)과 게이트 절연막(504)을 에칭하였다. P형 불순물영역(516)에 콘택트 흠을 형성한 후, 스퍼터법에 의해 알루미늄막을 형성되었다. 그 알루미늄막을 에칭하여 화상신호선(521)을 형성하였다.(제 5d 도)

이어서, 패시베이션막(522)을 형성하였다. 패시베이션막(522)과, 층간절연막(520) 및 게이트 절연막(504)을 에칭하여, 양극산화막(514)위에 흠을 형성하고, P형 불순물영역(519)에 콘택트 흠을 형성하였다. 콘택트 흠은 화소전극과의 접촉을 위해 사용되었다. ITO를 막으로서 퇴적하였다. 이 ITO막을 에칭하여 화소전극(523)을 형성하고, 이 화소전극(523)은 게이트전극(506)의 반대측에 있다. 그리하여, 유전체로서 양극산화막(514)을 사용하는 용량이 형성되었다. P형 불순물영역(517, 518)이 같은 전위로 유지되면, 게이트전극(506)과 그 아래의 규소반도체층 사이에 MOS 용량이 형성된다. 이 MOS 용량은 유전체로서 게이트 절연막(504)을 사용한다.(제 5e 도)

P채널형 TFT(526, 527)와, 용량(524) 및 MOS 용량(525)을 포함하는 액티브 매트릭스 회로소자가 여태까지 기술된 제작공정들에 의해 형성되었다. 본 실시예에서는, 각 화소전극이 MOS 용량의 게이트와 함께 용량을 형성한다. 따라서, 회로는 트랜지스터 도전형이 반전되는 것 이외에는 제 1a 도와 제 1b 도에 나타낸 회로와 유사하다.

본 실시예에서는, TFT(526, 527)의 오프전류를 억제할 필요가 있다. 이를 TFT는 실시예 6의 TFT보다 큰 오프셋 폭을 갖는다. 한편, MOS 용량은 오프셋 구조를 필요로 하지 않고, MOS 용량의 오프셋 폭이 작은 값으로 설정된다.

[실시예 10]

제 9a 도~제 9f 도는 본 발명을 이용하여 회로를 형성하는 모양을 나타낸다. 이 목적을 위해, 공자의 공정이나 또는 실시예 6 또는 9의 공정이 사용될 수 있고, 따라서, 이들 기술에 대해서는 아래에 상세히 설명하지 않는다.

먼저, 대략 U자형 또는 말발굽형의 반도체영역 또는 활성층(601~604)을 형성하였다. 활성층(601)이 기준층으로 사용된 경우, 활성층(602)은 동일 열과 다음 행을 형성하고, 활성층(603)은 다음 열과 동일 행을 형성하며, 활성층(604)은 다음 열과 다음 행을 형성한다.(제 9a 도)

그 다음, 게이트 절연막(도시되지 않음)을 형성하고, 이 게이트 절연막으로부터 게이트신호선(605, 606)과 용량선(607, 608)을 형성하였다. 게이트신호선, 용량선 및 활성층 사이의 위치관계는 제 8 도에 나타낸 위치관계와 같다.(제 9b 도)

활성층에 불순물을 도입한 후, 활성층의 좌측 단부에 콘택트 흠(611과 같은)을 형성한 다음, 화상신호선(609, 610)을 형성하였다.(제 9c 도)

이어서, 게이트신호선과 화상신호선에 의해 둘러싸인 영역에 화소전극(612, 613)을 형성하였다. 이렇게 하여, 용량선(607)과 활성층(601)에 의해 TFT(614)를 형성하였다. 이때 용량(607)은 동일 행의 화소전극(613)에 겹치지 않고, 바로 앞의 행의 화소전극(612)과 겹친다. 즉, 화소전극(613)과 대하여서는, 바로 다음 행의 용량선(608)은 화소전극(613)과 겹쳐, 용량(615)을 형성한다. 다른 MOS 용량으로서 TFT(614)를 동작시키는 데 충분한 정전압이 다른 실시예에서와 같은 방법으로 용량선(607, 608)에 인가되었다.(제 9d 도)

이렇게 하여, 게이트신호선은 바로 앞의 행 또는 바로 다음 행의 화소전극과 겹치도록 놓여졌다. 그리하여, 제 9e 도에 나타낸 바와 같은 회로가 형성되었다. 용량(615)은 제 1a 도에 나타낸 용량(104)에 대응한다. 개구율을 실질적으로 저하시키지 않고 용량이 첨가될 수 있다. 이것은 회로의 징적도를 향상시키는데 효과적이다.

참고로, 제 9f 도는, 동일 간격으로 서로 떨어져 있는 행선택 신호선과 화상신호선에 의해 둘러싸인 영역에 형성된 종래의 단위 화소(제 2a 도 참조)를 나타낸다. 보조용량(202)으로 차폐된 영역은 본 실시예의 영역과 같다(제 9d 도). 본 실시예에서, 반도체영역(601)이 신호선(605, 607)에 의해 거의 전체적으로 덮혀진다. 그 결과, 개구율이 강화하지 않는다. 한편, 종래의 구조(제 9f 도)에서는, 행선택 신호선으로부터 분기되는 게이트전극이 개구율을 저하시킨다.

본 실시예의 회로배치와 다른 특징은 다음과 같다.

(1) 반도체영역(601)중 화상신호선과 접속하는 부분과 화소전극과 접속하는 부분이 게이트신호선(605)과 동일 측에 위치된다.

(2) 용량선(607)이 게이트신호선(605)의 반대 측에 위치된다.

(3) 인접한 화소전극(612)이 동일 행의 용량선(607)과 겹치지만, 화상신호선(609 또는 610)과는 겹치지 않는다.

액티브 매트릭스회로의 스위칭소자와 화소전극의 관계에 있어서는, 화소전극은 화상신호가 인가되는 어떠한 영역과도 겹치지 않아야 한다. 상기한 특징 때문에 이 조건이 만족된다. 또한, 개구율이 향상될 수 있다.

[실시예 11]

제 10a 도~제 10f 도는 본 실시예의 공정순서를 나타낸다. 먼저, 기판(701)상에 하지막(702)으로서 산화규소막을 2000 Å의 두께로 퇴적하였다. 결정성 규소막으로부터 섬형상 영역(703)을 형성하고, 이 섬형상 영역상에 게이트 절연막(704)을 형성하였다.

이어서, 실시예 9에서 사용된 것과 유사한 기술을 사용하여, 알루미늄을 주성분으로 하고 배리어형 양극산화물로 피복된 게이트전극(705~707)을 형성하였다. 본 실시예에서는, 다공질 양극산화물(708)이 오직 중앙의 게이트전극만의 측면에 형성되었다.(제 10a 도)

다음, 건식 에칭법에 의해 게이트 절연막(704)을 에칭하였다. 그 결과, 게이트전극(705~707)의 아래에 위치하고 그들 각각의 양극산화물부분 아래에 위치한 부분(707~711)상에 게이트 절연막이 잔존하였다.(제 10b 도)

그후, 다공질 양극산화물(708)을 선택적으로 제거하였다. 이 공정을 위한 기술이 상기한 일본국 공개특허공고 평6-338612호 공보에 기술되어 있다.(제 10c 도)

이어서, N형 불순물영역을 형성하기 위해, 게이트전극부와 게이트 절연막(710)을 마스크로 하여 자기정합적으로 불순물(본 실시예에서는, 인)을 섬형상 규소영역(703)에 주입하였다. 본 실시예에서는, 이 이온주입공정이 실질적으로 두 공정으로 이루어졌다. 첫번째 공정에서는, 불순물이 높은 가속전압과 낮은 도즈량으로 주입되었고, 두번째 공정에서는, 불순물이 낮은 가속전압과 높은 도즈량으로 주입되었다. 첫번째 공정의 예에서, 가속전압은 80 kV이고 도즈량은 1×10^{13} 원자/ μm^2 이었다. 두번째 공정의 예에서는, 가속전압이 20 kV이고, 도즈량이 5×10^{14} 원자/ μm^2 이었다.

첫번째 공정에서, 높은 가속에너지가 이온에 부여될 수 있어, 이온이 게이트 절연막(710)을 통과하여 주입될 수 있다. 이때 형성된 도핑된 영역은 저농도로 도핑된다. 두번째 공정에서는, 고농도로 도핑된 영역이 형성될 수 있으나, 게이트 절연막(710)을 통과하여 이온을 도입하는 것이 불가능하다. 그 결과, 고농도로 도핑된 N형 영역(712~715)과 저농도로 도핑된 N형 영역(716, 717)이 별개로 형성될 수 있다.(제 10d 도)

이렇게 하여 형성된 도핑된 영역(712~717)을 활성화시킨 후, 플라즈마 CVD법에 의해 층간절연막으로서 산화규소막(718)을 3000 Å의 두께로 형성하였다. 이 층간절연막(718)을 에칭하고, 고농도로 도핑된 N형 영역(712)에 콘택트 흙을 형성하였다. 이어서, 스퍼터법에 의해 알루미늄막을 형성한 다음 알루미늄막을 에칭하여 화상신호선(719)을 형성하였다.

그 다음, 패시베이션막(720)을 형성하고, 이 패시베이션막(720)과 층간절연막(718)을 에칭하여, 고농도로 도핑된 N형 영역(715)에 콘택트 흙을 형성하였다. 콘택트 흙은 화소전극과의 접속을 위해 사용된다. ITO막을 형성하고 에칭하여 화소전극(721)을 형성하였다.(제 10e 도)

이상의 공정들에 위해, 제 10f 도에 나타낸 바와 같은 회로가 제작될 수 있다. 이것은 게이트전극(706)을 적절한 전위로 유지하여 용량으로서 사용될 수 있다. 저농도로 도핑된 N형 영역(716, 717)은 TFT와 직렬로 삽입된 레지스터로서 작용하고, 오프전류를 감소시키는데 효과적이다.(제 10f 도)

[실시예 12]

제 11a 도~제 11c 도는 본 발명을 사용하여 회로를 제작하는 모양을 나타낸다. 이 목적을 위해, 공지의 기술 또는 실시예 6 또는 9에 기술된 기술이 사용될 수 있고, 이를 기술에 대해서는 상세히 설명하지 않는다. 본 실시예의 회로배치의 개념은 실시예 10의 개념(제 9a 도~제 9f 도)과 실질적으로 같다. 그러나, 본 실시예에서는, 차광막으로 형성된 용량선과 화상신호선의 차광성을 적극적으로 이용하여 TFT를 외부 광으로부터 보호하고, 그 TFT로, 화소들 사이의 색을 명확하게 구분하기 위한 블랙 매트릭스회로를 구성한다.

공정순서는 실시예 10에서 사용된 것과 동일하다. 먼저, 대략 U자형의 활성층(801)을 형성한 다음, 이 활성층상에 게이트 절연막(도시되지 않음)을 형성하고, 게이트신호선(802)과 용량선(803)을 형성하였다. 용량선은 제 11a 도에 나타낸 바와 같이 화소전극이 형성된 부분을 둘러싸도록 배열되었다.

활성층에 불순물을 주입한 후, 활성층의 좌측 단부에 콘택트 흙을 형성하고, 또한, 화상신호선(804)을 형성하였다. 또한, 이 화상신호선은 화소전극의 주위(특히, TFT의 주위)를 덮도록 배치되었다.(제 11b 도)

도면으로부터 알 수 있는 바와 같이, 투명한 부분은 화소전극이 형성된 중앙 부분과, 각 화소의 우측 상단부에 위치하는 점과 같은 2개 부분뿐이다. 이들 점과 같은 부분에서는, 게이트신호선과 용량선 사이의 간격부가 화상신호선으로 채워지지 않는다. 다른 부분은 게이트신호선, 용량선 및 화상신호선에 의해 차광되어 있다. 특히, 본 실시예에서는, 화상신호선이 TFT상에 배치된다. 이들 화상신호선은 외부광이 TFT에 들어가는 것을 막는다. 이것은 TFT의 특성을 안정화시키는데 효과적이다.

그 다음, 상기한 중앙부분에 화소전극(805)을 형성하였다. 화소전극을 제외한 투명부분은 화소전극(805)과 화상신호선(804) 사이의 간격부(807)와, 게이트신호선(802), 용량선(803)과 화상신호선(804) 사이의 간격부(806)뿐이다. 간격부(807)는 화상신호선이 화소전극에 겹치는 것을 방지하는데 필요하고, 간격부(806)는 인접한 화상신호선을 분리하는데 필요하다. 그러나, 이를 간격부(807 806)는 충분히 작은 면적을 갖는다.

블랙 매트릭스를 형성하지 않고 기존의 도전성 배선을 사용하여, 블랙 매트릭스와 동등한 구조를 얻을 수 있다.(제 11c 도)

본 실시예의 TFT 부분의 단면이 제 12 도에 개념적으로 나타내어져 있다. 도시된 바와 같이, 화상신호선(804)의 측면에 위치한 TFT는 화상신호선(804)으로 완전히 덮힌다. 중앙에 위치한 TFT는 화상신호선(804)으로 부분적으로 덮힌다. 본 실시예에서는, 용량선이 화소전극과 화상신호선에 종종 겹친다. 따라서, 금속 배선들 사이를 절연시키는데 충분한 주의를 기울여야 한다. 그러한 절연은 적어도 용량선의 상면에 양극산화막을 형성함으로써 효과적으로 향상될 수 있다.(제 12 도)

[실시예 13]

본 실시예를 제 13 도~제 19 도에 나타낸다. 기판의 절연표면(1)상에 하지막으로서 적당한 절연막을 형성하거나 형성하지 않을 수 있다. 먼저, 기판상에 또는 기판의 절연표면(1)상에, 100~150 Å, 예를 들어, 800 Å의 두께를 갖는 섬형상의 박막규소영역(2)을 형성하였다. 제 13 도에 나타낸 바와 같이, 그 규소영역(2)은 콘택트 형성용의 패드(3, 5)와 그들 사이의 채널형성영역(4)을 가진다. 그 규소영역은 비정질 규소이거나 또는 다결정성 규소로 만들어질 수 있다.(제 13 도).

그 다음, 산화규소에 의해 게이트 절연막(6)을 1200 Å의 두께로 형성하였다. 도전성을 개선시키기 위해, 폴리실리콘막에 적당한 양의 인을 첨가하였다. 이 폴리실리콘막은 LPCVD법에 의해 300 Å의 두께로 형성되었다. 다음, 이 폴리실리콘막을 에칭하여 게이트선(7)을 형성하였다. 게이트선의 재료는 폴리실리콘에 한정되는 것은 아니다. 예를 들어 알루미늄, 탄탈과 같은 금속재료도 이용될 수 있다. 특히, 알루미늄을 사용한 때, 게이트선의 시트저항이 효과적으로 저하될 수 있다.(제 14 도)

그 후, 게이트선(7)을 마스크로 하여, 이온주입법에 의해 자기정합적으로 섬형상 규소영역(2)에 불순물(본 실시예에서는, 인)을 도입하였다. 이렇게 하여, 도핑된 영역(불순물영역), 즉, 소스(8)와 드레인(9)이 형성되었다. 이때, 게이트전극 아래에는 도핑된 영역이 형성되지 않고, 오히려, 채널(4)이 형성되었다. 이온주입후, 열 어닐 또는 레이저 어닐과 같은 적절한 수단에 의해, 도입된 도편트를 활성화시켰다.(제 15 도)

그 다음, 2000~10000 Å, 예를 들어, 5000 Å의 두께를 갖는 산화규소막 또는 질화규소막(10)을 플라즈마 CVD법에 의해 형성하였다. 이렇게 하여, 제1 층간절연물층이 형성되었다. 패드(3)까지 연장하는 콘택트 쿨(11)을 형성하였다. 그 패드(3)는 규소영역과 접촉을 위해 사용된다.(제 16 도)

이어서, 두께 5000 Å의 알루미늄막을 스퍼터법에 의해 형성하고, 그 알루미늄막을 에칭하여 소스선(12)을 형성하였다. 앞의 공정에서 형성된 콘택트 쿨(11)에서, 소스선(12)이 소스(8)와 콘택트를 형성하였다.(제 17 도)

그 다음, 제2 층간절연물층(13)으로서 질화규소 또는 산화규소를 2000~5000 Å 두께로 퇴적하였다. 패드(5)까지 연장하는 콘택트 쿨을 제2 층간절연물층(13)에 형성하였다. 그 패드(5)는 섬형상 규소영역과 접촉을 위해 사용된다. 1000 Å의 두께를 갖는 TTO막을 스퍼터법에 의해 형성하고, 이 ITO막을 에칭하여 화소전극(14)을 형성하였다.(제 18 도)

본 실시예에서는, TFT의 채널방향(소스로부터 드레인으로의 방향)이 제 19 도에 나타낸 바와 같이 소스선에 평행하다. 이것은 제 22 도에 나타낸 종래의 TFT와 비교되는 특징이다.

본 실시예 및 다른 실시예에서, 채널(4)은 소스선(12) 아래에 위치한다. 채널(4)에 인접한 소스 및 드레인은 소스선과 겹쳐, 종래의 TFT와 달리 기생용량을 형성한다. 드레인(9)과 소스선(12) 사이에 형성된 기생용량(15)은 액티브 매트릭스회로의 동작중에 문제를 제기한다. 그러나, 제 18 도로부터 알 수 있는 바와 같이, 드레인(9)과 소스선(12)은 제1 층간절연물층(10)에 의해 서로 격리되어 있다. 겹침(오버랩)이 형성된 섬형상 규소영역의 폭은 충분히 작게 만들어질 수 있다. 이 겹침은 화소전극(14)의 면적보다 충분히 작다. 이 때문에, 표시화상이 크게 영향받지 않는다.

[실시예 14]

본 실시예를 제 20 도에 나타낸다. 공정순서는 실시예 13과 같다. 본 실시예에서는, 각각의 섬형상 규소영역이 대략 U자형 형태로 형성된다. 게이트선이 규소영역과 교차하도록 형성되어, 2개의 채널(즉, TFT)(16, 17)이 형성되었다. 섬형상 규소영역의 일 단부가 소스선과 접촉하게 되었다. 그 소스선은 채널(16)위에 형성되었다. 다른 단부는 화소전극과 접촉하게 되었다.

더 구체적으로는, 본 실시예에서는, 제 20 도에 나타낸 바와 같이, 하나의 화소에 2개의 직렬로 접속된 TFT가 형성된다. 이 구조에서는, 화소로부터의 누설전류가 감소될 수 있다는 것이 알려져 있다(일본국 공개특허공고 평3-38755호 참조). 본 실시예에서는, 종래기술과 달리, 게이트선으로부터 연장하는 지선을 형성할 필요가 없다. 따라서, TFT가 차지하는 면적이 감소될 수 있다. 또한, 개구율이 향상될 수 있다.

또한, 본 실시예에서는, 우측 TFT의 소스로도 작용하는 좌측 TFT의 드레인이 소스선과 겹쳐, 기생용량(18)을 형성한다. 본 실시예에서는, 실시예 13과 비교하여, 기생용량(18)과 화소전극 사이에 하나의 TFT가 첨가되어 있어, 그의 영향이 한정되게 된다.(제 20 도)

상기한 바와 같이, 다수의 TFT 및/또는 적절한 용량을 접속함으로써, 액정셀에서의 전압강하를 성공적으로 억제할 수 있다. 본 발명에서는, 특히 제 2c 도에 나타낸 TFT(222)에서, 소스와 드레인 사이의 전압이 전체 구동과정에서 낮은 수준으로 유지된다. 일반적으로, TFT의 열화(劣化)는 소스와 드레인 사이의 전압에 의존한다. 본 발명을 이용함으로써 그 열화가 방지될 수 있다.

또한, 본 발명은 보다 고도한 화상표시가 요구되는 용도에 유리하게 사용될 수 있다. 즉, 256계조 이상의 극히 미묘한 농담을 표현하는 경우에는, 액정셀에서의 방전을 1프레임중에 1% 이하로 억제할 필요가 있다. 제 2a 도와 제 2b 도에 나타낸 종래의 시스템들 어느 것도 이 목적으로 적절하지 않다.

본 발명은 특히 화소의 행수가 많은 매트릭스 표시 등의 목적에 적합한 결정성 규소반도체를 포함하는 TFT를 이용하는 액티브 매트릭스 표시장치에도 특히 적합하다. 일반적으로, 행수가 많은 매트릭스 표시장치에서는, 각 행마다의 선택시간이 짧기 때문에, 비정질 규소반도체의 TFT는 이 매트릭스 표시장치에 적절하지 않으나, 결정성 규소반도체를 사용하는 TFT는 오프전류가 크다는 것이 문제로 된다. 이러한 이유로, 본 발명은 오프전류를 억제할 수 있기 때문에 이 기술분야에 기여할 수 있다. 물론, 비정질 규소반도체를 포함하는 TFT도 효과가 있다.

상기 실시예들에서는, TFT과 MOS 용량이 주로 둘 게이트형인 것으로 설명되었지만, 보통 게이트형과 다른 구조에 대해서도 본 발명이 유사한 효과를 가지고 적용될 수 있다. 또한, 둘 게이트형과 보통 게이트형의 조합으로 된 스위칭소자가 사용될 수도 있다.

또한, 본 발명에 의해, 액티브 매트릭스 회로의 개구율을 향상시킬 수 있다. 그 결과, 이 액티브 매트릭스 회로를 이용하는 전기광학장치의 표시특성에 개선될 수 있다. 이와 같이, 본 발명은 공업상 유익한 발명이다.

(57) 청구의 범위

청구항 1.

기판 위에 배치된 다수의 소스선과, 상기 기판 위에 상기 다수의 소스선에 직교하여 배치된 다수의 게이트선, 및 상기 기판 위에서 상기 소스선들과 상기 게이트선들의 교차부에 매트릭스 배열로 배치된 다수의 화소를 포함하고, 여기서, 상기 화소들 각각이 적어도 제1 및 제2 박막트랜지스터와 그 제2 박막트랜지스터의 소스 또는 드레인에 접속된 화소전극을 포함하고, 상기 제1 박막트랜지스터의 소스 또는 드레인이 상기 소스선들 중 하나의 소스선에 접속되고, 상기 제1 및 제2 박막트랜지스터가 상기 화소전극과 상기 소스선들 중 상기 하나의 소스선과의 사이에 직렬로 전기적으로 접속된 액정장치로서; 상기 제1 박막트랜지스터가 차광되도록 상기 소스선들 중 상기 하나의 소스선의 일부가 상기 제1 박막트랜지스터를 덮고 있는 한편, 상기 제2 박막트랜지스터는 상기 소스선들 중 상기 하나의 소스선의 어떤 부분에 의해서도 덮혀 있지 않은 것을 특징으로 하는 액정장치.

청구항 2.

기판 위에 배치된 다수의 소스선과, 상기 기판 위에서 상기 다수의 소스선을 가로질러 연장하여 있는 다수의 게이트선, 및 상기 기판 위에서 상기 소스선들과 상기 게이트선들의 교차부에 매트릭스 배열로 배치된 다수의 화소를 포함하고, 여기서, 상기 화소들 각각이 적어도 제1 및 제2 박막트랜지스터와 그 제2 박막트랜지스터의 소스 또는 드레인에 접속된 화소전극을 포함하고, 상기 제1 박막트랜지스터의 소스 또는 드레인이 상기 소스선들 중 하나의 소스선에 접속되고, 상기 제1 및 제2 박막트랜지스터가 상기 화소전극과 상기 소스선들 중 상기 하나의 소스선과의 사이에 직렬로 전기적으로 접속된 표시장치로서; 상기 소스선들 중 상기 하나의 소스선에 접속된 상기 제1 박막트랜지스터의 소스 또는 드레인과 상기 제1 박막트랜지스터의 채널의 적어도 일부가 차광되도록 상기 소스선들 중 상기 하나의 소스선의 일부가 상기 제1 박막트랜지스터의 적어도 일부를 덮고 있는 한편, 상기 화소전극에 접속된 상기 제2 박막트랜지스터의 소스 또는 드레인과 상기 제2 박막트랜지스터의 채널은 상기 소스선들 중 상기 하나의 소스선의 어떤 부분에 의해서도 덮혀 있지 않은 것을 특징으로 하는 표시장치.

청구항 3.

기판 위에 배치된 다수의 소스선과, 상기 기판 위에 상기 다수의 소스선에 직교하여 배치된 다수의 게이트선, 및 상기 기판 위에서 상기 소스선들과 상기 게이트선들의 교차부에 매트릭스 배열로 배치된 다수의 화소를 포함하고, 여기서, 상기 화소들 각각이 적어도 제1 및 제2 박막트랜지스터와 그 제2 박막트랜지스터의 소스 또는 드레인에 접속된 화소전극과, 상기 제2 박막트랜지스터에 전기적으로 접속된 보유 용량을 포함하고, 상기 제1 박막트랜지스터의 소스 또는 드레인이 상기 소스선들 중 하나의 소스선에 접속되고, 상기 제1 및 제2 박막트랜지스터가 상기 화소전극과 상기 소스선들 중 상기 하나의 소스선과의 사이에 직렬로 전기적으로 접속된 액정장치로서; 상기 제1 박막트랜지스터가 차광되도록 상기 소스선들 중 상기 하나의 소스선의 일부가 상기 제1 박막트랜지스터를 덮고 있는 한편, 상기 제2 박막트랜지스터는 상기 소스선들 중 상기 하나의 소스선의 어떤 부분에 의해서도 덮혀 있지 않은 것을 특징으로 하는 액정장치.

청구항 4.

기판 위에 배치된 다수의 소스선과, 상기 기판 위에서 상기 다수의 소스선을 가로질러 연장하여 있는 다수의 게이트선, 및 상기 기판 위에서 상기 소스선들과 상기 게이트선들의 교차부에 매트릭스 배열로 배치된 다수의 화소를 포함하고, 여기서, 상기 화소들 각각이 적어도 제1 및 제2 박막트랜지스터와 그 제2 박막트랜지스터의 소스 또는 드레인에 접속된 화소전극을 포함하고, 상기 제1 박막트랜지스터의 소스 또는 드레인이 상기 소스선들 중 하나의 소스선에 접속되고, 상기 화소전극이 적어도 상기 제1 및 제2 박막트랜지스터를 통해 상기 소스선들 중 상기 하나의 소스선에 전기적으로 접속된 표시장치로서; 상기 제1 박막트랜지스터가 차광되도록 상기 소스선들 중 상기 하나의 소스선의 일부가 상기 제1 박막트랜지스터를 덮고 있는 한편, 상기 화소전극에 접속된 상기 제2 박막트랜지스터의 소스 또는 드레인과 상기 제2 박막트랜지스터의 채널은 상기 소스선들 중 상기 하나의 소스선의 어떤 부분에 의해서도 덮혀 있지 않은 것을 특징으로 하는 표시장치.

청구항 5.

제1항 또는 제3항에 있어서, 상기 제1 및 제2 박막트랜지스터들 각각이 롬 게이트 구조 또는 보텀 게이트 구조를 가지는 것을 특징으로 하는 액정장치.

청구항 6.

제1항 또는 제3항에 있어서, 상기 제1 및 제2 박막트랜지스터들 각각이 폴리실리콘을 포함하는 채널영역을 가지는 것을 특징으로 하는 액정장치

청구항 7.

제2항 또는 제4항에 있어서, 상기 제1 및 제2 박막트랜지스터들 각각이 롬 게이트 구조 또는 보텀 게이트 구조를 가지는 것을 특징으로 하는 표시장치.

청구항 8.

제2항 또는 제4항에 있어서, 상기 제1 및 제2 박막트랜지스터들 각각이 폴리실리콘을 포함하는 채널영역을 가지는 것을 특징으로 하는 표시장치

청구항 9.

제2항에 있어서, 상기 표시장치가 액정표시장치인 것을 특징으로 하는 표시장치.

청구항 10.

제4항에 있어서, 상기 표시장치가 액정표시장치인 것을 특징으로 하는 표시장치.

청구항 11.

액정장치를 가지는 프로젝션(projection)장치에 있어서, 상기 액정장치가, 기판 위에 배치된 다수의 소스선과, 상기 기판 위에 상기 다수의 소스선에 직교하여 배치된 다수의 게이트선, 및 상기 기판 위에서 상기 소스선들과 상기 게이트선들의 교차부에 매트릭스 배열로 배치된 다수의 화소를 포함하고, 상기 화소들 각각이 적어도 제1 및 제2 박막트랜지스터와 그 제2 박막트랜지스터의 소스 또는 드레인에 접속된 화소전극을 포함하고, 상기 제1 박막트랜지스터의 소스 또는 드레인이 상기 소스선들 중 하나의 소스선에 접속되고, 상기 제1 및 제2 박막트랜지스터가 상기 화소전극과 상기 소스선들 중 상기 하나의 소스선과의 사이에 직렬로 전기적으로 접속된 프로젝션장치로서; 상기 제1 박막트랜지스터가 차광되도록 상기 소스선들 중 상기 하나의 소스선의 일부가 상기 제1 박막트랜지스터를 덮고 있는 한편, 상기 제2 박막트랜지스터는 상기 소스선들 중 상기 하나의 소스선의 어떤 부분에 의해서도 덮혀 있지 않은 것을 특징으로 하는 프로젝션장치.

청구항 12.

액정장치를 가지는 프로젝션장치에 있어서, 상기 액정장치가, 기판 위에 배치된 다수의 소스선과, 상기 기판 위에 상기 다수의 소스선에 직교하여 배치된 다수의 게이트선, 및 상기 기판 위에서 상기 소스선들과 상기 게이트선들의 교차부에 매트릭스 배열로 배치된 다수의 화소를 포함하고, 상기 화소들 각각이 적어도 제1 및 제2 박막트랜지스터와 그 제2 박막트랜지스터의 소스 또는 드레인에 접속된 화소전극을 포함하고, 상기 제1 박막트랜지스터의 소스 또는 드레인이 상기 소스선들 중 하나의 소스선에 접속되고, 상기 제1 및 제2 박막트랜지스터가 상기 화소전극과 상기 소스선들 중 상기 하나의 소스선과의 사이에 직렬로 전기적으로 접속된 프로젝션장치로서; 상기 소스선들 중 상기 하나의 소스선에 접속된 상기 제1 박막트랜지스터의 소스 또는 드레인과 상기 제1 박막트랜지스터의 채널의 적어도 일부가 차광되도록 상기 소스선들 중 상기 하나의 소스선의 일부가 상기 제1 박막트랜지스터를 덮고 있는 한편, 상기 화소전극에 접속된 상기 제2 박막트랜지스터의 소스 또는 드레인과 상기 제2 박막트랜지스터의 채널은 상기 소스선들 중 상기 하나의 소스선의 어떤 부분에 의해서도 덮혀 있지 않은 것을 특징으로 하는 프로젝션장치.

청구항 13.

제11항 또는 제12항에 있어서, 상기 제1 및 제2 박막트랜지스터들 각각이 룹 게이트 구조 또는 보텀 게이트 구조를 가지는 것을 특징으로 하는 프로젝션장치.

청구항 14.

제11항 또는 제12항에 있어서, 상기 제1 및 제2 박막트랜지스터들 각각이 폴리실리콘을 포함하는 채널영역을 가지는 것을 특징으로 하는 프로젝션장치.

청구항 15.

기판 위의 액티브 매트릭스 회로와, 기판 위에 배치된 다수의 소스선과, 상기 다수의 소스선을 가로질러 연장하여 상기 소스선들과 함께 화소들의 배열을 확정하는 다수의 게이트선과, 상기 화소들 각각에 형성된 다수의 화소전극과, 상기 화소전극들 각각을 스위칭하기 위해 상기 소스선들과 상기 게이트선들의 교차부에 형성된 적어도 제1 및 제2 박막트랜지스터를 포함하는 전기광학장치로서; 상기 제1 박막트랜지스터의 채널영역이 상기 소스선들 중 대응하는 소스선과 적어도 부분적으로 겹쳐 있는 한편, 상기 제2 박막트랜지스터의 채널영역은 상기 소스선들 중 대응하는 소스선과 겹쳐 있지 않은 것을 특징으로 하는 전기광학장치.

청구항 16.

기판 위에 배치된 적어도 하나의 소스선과, 상기 기판 위에서 상기 소스선을 가로질러 연장하여 있는 적어도 하나의 게이트선, 및 상기 소스선 및 상기 게이트선에 의해 어드레싱 가능하고, 적어도 제1 및 제2 박막트랜지스터와 화소전극을 포함하는 화소를 포함하고, 여기서, 상기 제1 박막트랜지스터가 상기 소스선에 접속되고, 상기 제2 박막트랜지스터가 상기 화소전극에 접속된 전기광학장치로서; 상기 제1 박막트랜지스터의 적어도 채널영역이 상기 소스선에 의해 적어도 부분적으로 덮혀 있는 한편, 상기 제2 박막트랜지스터의 채널영역은 상기 소스선에 의해 덮혀 있지 않은 것을 특징으로 하는 전기광학장치.

청구항 17.

제16항에 있어서 캐리어가 상기 소스선을 따라 상기 제1 박막트랜지스터의 채널영역을 통과하여 흐르는 것을 특징으로 하는 전기광학장치.

청구항 18.

절연표면을 가진 기판과, 상기 기판 위에 배치된 소스선 및 그 소스선을 가로질러 연장하는 게이트선과, 상기 기판 위에 배치된 화소전극과, 상기 기판 위에 형성되고 상기 소스선에 접속되어 있으며 소스영역, 드레인영역 및 채널영역을 가지고 있는 제1 박막트랜지스터와, 상기 기판 위에 형성되고 상기 제1 박막트랜지스터 및 상기 화소전극에 접속되어 있으며 소스영역, 드레인영역 및 채널영역을 가지고 있는 제2 박막트랜지스터를 포함하는 액티브 매트릭스형 전기광학장치로서; 상기 제1 박막트랜지스터의 적어도 채널영역이 상기 소스선에 의해 적어도 부분적으로 덮혀 있는 한편, 상기 제2 박막트랜지스터의 채널영역은 상기 소스선과 겹쳐 있지 않은 것을 특징으로 하는 액티브 매트릭스형 전기광학장치.

청구항 19.

절연표면을 가진 기판과, 상기 기판 위에 배치된 소스선 및 그 소스선을 가로질러 연장하는 게이트선과, 상기 기판 위에 배치된 화소전극과, 상기 기판 위에 형성되고 소스영역 드레인영역 및 채널영역을 각각 가지고 있는 제1 박막트랜지스터 및 제2 박막트랜지스터를 포함하고, 상기 제1 및 제2 박막트랜지스터가 상기 소스선 및 상기 화소전극에 직렬로 접속되어 있는 액티브 매트릭스형 전기광학장치로서; 상기 제1 박막트랜지스터의 적어도 채널영역이 상기 소스선에 의해 적어도 부분적으로 덮혀 있는 한편, 상기 제2 박막트랜지스터의 채널영역은 상기 소스선과 겹쳐 있지 않은 것을 특징으로 하는 액티브 매트릭스형 전기광학장치.

청구항 20.

절연표면을 가진 기판과, 상기 기판 위에 배치된 소스선 및 그 소스선을 가로질러 연장하는 게이트선과, 상기 기판 위에 배치된 화소전극과, 상기 기판 위에 형성되고 상기 소스선에 접속되어 있으며 소스영역, 드레인영역, 채널영역 및 그 채널영역에 인접한 게이트 전극을 가지고 있는 제1 박막트랜지스터와, 상기 기판 위에 형성되고 상기 제1 박막트랜지스터 및 상기 화소전극에 접속되어 있으며 소스영역, 드레인영역, 채널영역 및 그 채널영역에 인접한 게이트 전극을 가지고 있는 제2 박막트랜지스터를 포함하는 액티브 매트릭스형 전기광학장치로서; 상기 제1 및 제2 박막트랜지스터의 상기 게이트 전극들이 상기 게이트선에 공동으로 접속되어 있고, 상기 제1 박막트랜지스터의 적어도 채널영역이 상기 소스선과 적어도 부분적으로 겹쳐 있는 한편, 상기 제2 박막트랜지스터의 채널영역은 상기 소스선과 겹쳐 있지 않은 것을 특징으로 하는 액티브 매트릭스형 전기광학장치.

청구항 21.

절연표면을 가진 기판과, 상기 기판 위에 배치된 소스선 및 그 소스선을 가로질러 연장하는 게이트선과, 상기 기판 위에 배치된 화소전극과, 상기 기판 위에 형성되고 상기 소스선에 접속되어 있으며 소스영역, 드레인영역 및 채널영역을 가지고 있는 제1 박막트랜지스터와, 상기 기판 위에 형성되고 상기 제1 박막트랜지스터 및 상기 화소전극에 접속되어 있으며 소스영역, 드레인영역 및 채널영역을 가지고 있는 제2 박막트랜지스터와, 상기 기판에 광을 조사하는 광원을 포함하는 액티브 매트릭스형 전기광학장치로서: 상기 제1 박막트랜지스터의 적어도 채널영역이 상기 소스선과 적어도 부분적으로 겹쳐 있어, 상기 소스선이 상기 광원으로부터의 광으로부터 상기 제1 박막트랜지스터의 적어도 채널영역을 차폐하는 한편, 상기 제2 박막트랜지스터의 채널영역은 상기 소스선과 겹쳐 있지 않은 것을 특징으로 하는 액티브 매트릭스형 전기광학장치.

청구항 22.

절연표면을 가진 기판과, 상기 기판 위에 배치된 소스선 및 그 소스선을 가로질러 연장하는 게이트선과, 상기 기판 위에 배치된 화소전극과, 상기 기판 위에 형성되고, 상기 소스선 및 상기 화소전극에 직렬로 접속되어 있으며, 소스영역, 드레인영역 및 채널영역을 각각 가지고 있는 제1 박막트랜지스터 및 제2 박막트랜지스터와, 상기 기판에 광을 조사하는 광원을 포함하는 액티브 매트릭스형 전기광학장치로서: 상기 제1 박막트랜지스터의 적어도 채널영역이 상기 소스선과 적어도 부분적으로 겹쳐 있어, 상기 소스선이 상기 광으로부터 상기 제1 박막트랜지스터의 적어도 채널영역을 차폐하는 한편, 상기 제2 박막트랜지스터의 채널영역은 상기 소스선과 겹쳐 있지 않은 것을 특징으로 하는 액티브 매트릭스형 전기광학장치.

청구항 23.

절연표면을 가진 기판과, 상기 기판 위에 배치된 소스선 및 그 소스선을 가로질러 연장하는 게이트선과, 상기 기판 위에 배치된 화소전극과, 상기 기판 위에 형성되고 상기 소스선에 접속되어 있으며 소스영역, 드레인영역, 채널영역 및 그 채널영역에 인접한 게이트 전극을 가지고 있는 제1 박막트랜지스터와, 상기 기판 위에 형성되고 상기 제1 박막트랜지스터 및 상기 화소전극에 접속되어 있으며 소스영역, 드레인영역, 채널영역 및 그 채널영역에 인접한 게이트 전극을 가지고 있는 제2 박막트랜지스터와, 상기 기판에 광을 조사하는 광원을 포함하는 액티브 매트릭스형 전기광학장치로서: 상기 제1 및 제2 박막트랜지스터의 상기 게이트 전극들이 상기 게이트선에 공통으로 접속되어 있고, 상기 제1 박막트랜지스터의 적어도 채널영역이 상기 소스선과 적어도 부분적으로 겹쳐 있어, 상기 소스선이 상기 광으로부터 상기 제1 박막트랜지스터의 적어도 채널영역을 차폐하는 한편, 상기 제2 박막트랜지스터의 채널영역은 상기 소스선과 겹쳐 있지 않은 것을 특징으로 하는 액티브 매트릭스형 전기광학장치.

청구항 24.

절연표면을 가진 기판과, 상기 절연표면상에 형성되고, 적어도 제1 및 제2 채널영역, 그 제1 채널영역과 제2 채널영역 사이의 제1의 불순물 도핑 영역, 및 상기 제1 및 제2 채널영역을 사이에 두고 있는 한쌍의 제2의 불순물 도핑 영역을 포함하는 반도체층과, 상기 반도체층상에 형성된 제1 절연층과, 상기 제1 절연층 위에 형성되고 상기 제1 및 제2 채널영역 위에서 연장하는 게이트선과, 상기 게이트선 위에 형성된 제2 절연층과, 상기 제2 절연층 위에 형성되고 상기 한쌍의 제2의 불순물 도핑 영역들중 하나에 전기적으로 접속된 소스선과, 상기 소스선 위에 형성된 제3 절연층, 및 상기 제3 절연층 위에 형성되고 상기 한쌍의 제2의 불순물 도핑 영역들중 다른 하나에 전기적으로 접속된 화소전극을 포함하고, 상기 제1 및 제2 채널영역들중 하나가 상기 소스선과 적어도 부분적으로 겹쳐있는 한편, 상기 제1 및 제2 채널영역들중 다른 하나는 상기 소스선과 겹쳐 있지 않은 것을 특징으로 하는 액티브 매트릭스형 전기광학장치.

청구항 25.

절연표면을 가진 기판과, 상기 절연표면 위에 형성되고, 적어도 제1 및 제2 채널영역, 그 제1 채널영역과 제2 채널영역 사이의 제1의 불순물 도핑 영역, 및 상기 제1 및 제2 채널영역을 사이에 두고 있는 한쌍의 제2의 불순물 도핑 영역을 포함하는 반도체층과, 상기 제1 및 제2 채널영역에 인접하여 상기 기판 위에 형성된 게이트선과, 상기 반도체층 위에 형성된 절연층과, 상기 절연층 위에 형성되고 상기 한쌍의 제2의 불순물 도핑 영역들중 하나에 전기적으로 접속된 소스선과, 상기 소스선 위에 형성된 충간절연막, 및 상기 충간절연막 위에 형성되고 상기 한쌍의 제2의 불순물 도핑 영역들중 다른 하나에 전기적으로 접속된 화소전극을 포함하고, 상기 제1 및 제2 채널영역들중 하나가 상기 소스선과 적어도 부분적으로 겹쳐 있는 한편, 상기 제1 및 제2 채널영역들중 다른 하나는 상기 소스선과 겹쳐 있지 않은 것을 특징으로 하는 액티브 매트릭스형 전기광학장치.

청구항 26.

제18항에 있어서, 상기 게이트선이 상기 제1 및 제2 박막트랜지스터의 채널영역들 각각과 겹쳐 있는 것을 특징으로 하는 액티브 매트릭스형 전기광학장치.

청구항 27.

제18항에 있어서, 상기 게이트선이 폴리실리콘, 알루미늄 및 탄탈로 이루어진 군으로부터 선택된 재료를 포함하는 것을 특징으로 하는 액티브 매트릭스형 전기광학장치.

청구항 28.

제18항에 있어서, 상기 제1 및 제2 박막트랜지스터의 채널영역들 각각이 폴리실리콘을 포함하는 것을 특징으로 하는 액티브 매트릭스형 전기광학장치.

청구항 29.

제18항에 있어서, 상기 화소전극이 인동 주석 산화물(ITO)을 포함하는 것을 특징으로 하는 액티브 매트릭스형 전기광학장치.

청구항 30.

제18항 내지 제23항중 어느 한 항에 있어서, 상기 제1 및 제2 박막트랜지스터들 각각이 보통 게이트형인 것을 특징으로 하는 액티브 매트릭스형 전기광학장치.

청구항 31.

제18항 내지 제25항중 어느 한 항에 있어서, 상기 전기광학장치가 액정장치인 것을 특징으로 하는 액티브 매트릭스형 전기광학장치.

청구항 32.

제24항 또는 제25항에 있어서, 상기 반도체층이 폴리실리콘을 포함하는 것을 특징으로 하는 액티브 매트릭스형 전기광학장치.

청구항 33.

제24항 또는 제25항에 있어서, 상기 반도체층이 U자 형태를 가지는 것을 특징으로 하는 액티브 매트릭스형 전기광학장치.

청구항 34.

제24항 또는 제25항에 있어서, 상기 소스선이 상기 한쌍의 제2의 불순물 도핑 영역들중 상기 하나와 직접 접촉하여 있는 것을 특징으로 하는 액티브 매트릭스형 전기광학장치.

청구항 35.

제24항 또는 제25항에 있어서, 상기 화소전극이 상기 한쌍의 제2의 불순물 도핑 영역들중 상기 다른 하나와 직접 접촉하여 있는 것을 특징으로 하는 액티브 매트릭스형 전기광학장치.

청구항 36.

제25항에 있어서, 상기 게이트선이 게이트 절연막을 사이에 두고 상기 반도체층 위에서 연장하여 있는 것을 특징으로 하는 액티브 매트릭스형 전기광학장치.

청구항 37.

제15항에 있어서, 상기 제1 박막트랜지스터의 상기 채널영역이 상기 소스선들중 상기 대응하는 하나와 완전히 겹쳐 있는 것을 특징으로 하는 전기광학장치.

청구항 38.

제16항에 있어서, 상기 제1 박막트랜지스터의 상기 채널영역이 상기 소스선에 의해 완전히 덮혀 있는 것을 특징으로 하는 전기광학장치.

청구항 39.

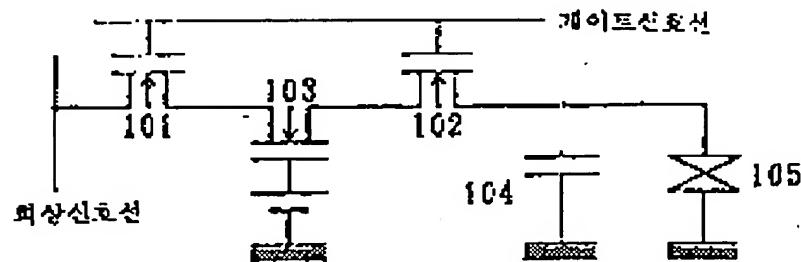
제18항 내지 제25항중 어느 한 항에 있어서, 상기 제1 박막트랜지스터의 상기 채널영역이 상기 소스선에 의해 완전히 덮혀 있는 것을 특징으로 하는 액티브 매트릭스형 전기광학장치.

청구항 40.

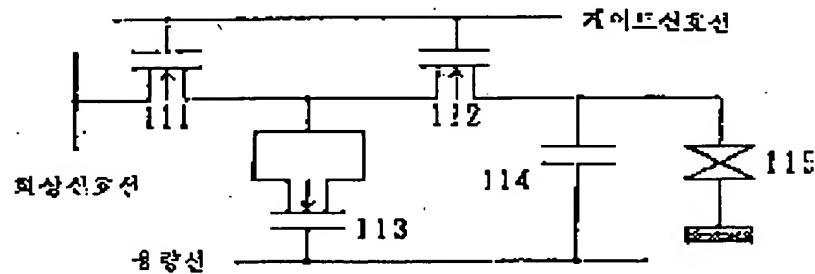
제16항에 있어서, 상기 제1 및 제2 박막트랜지스터들 각각이, 게이트 전극이 상기 채널영역 위에 위치되는 룹 게이트형인 것을 특징으로 하는 전기광학장치.

도면

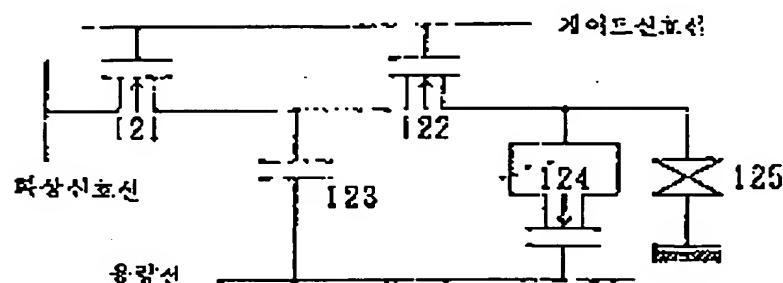
도면 1a



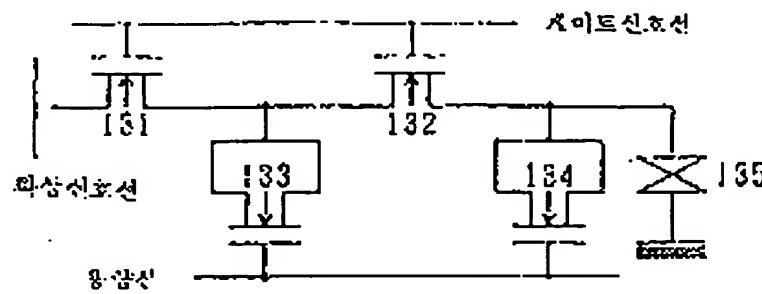
도면 1b



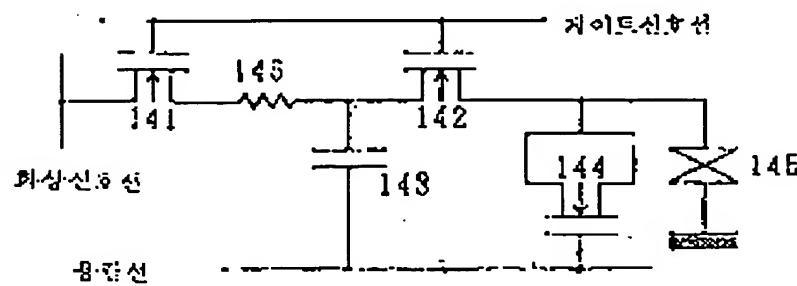
도면 1c



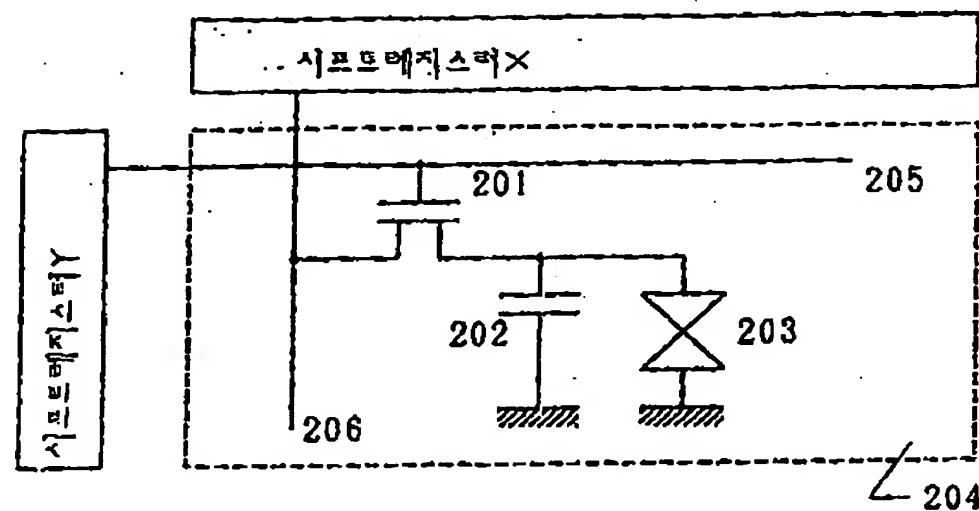
도면 1d



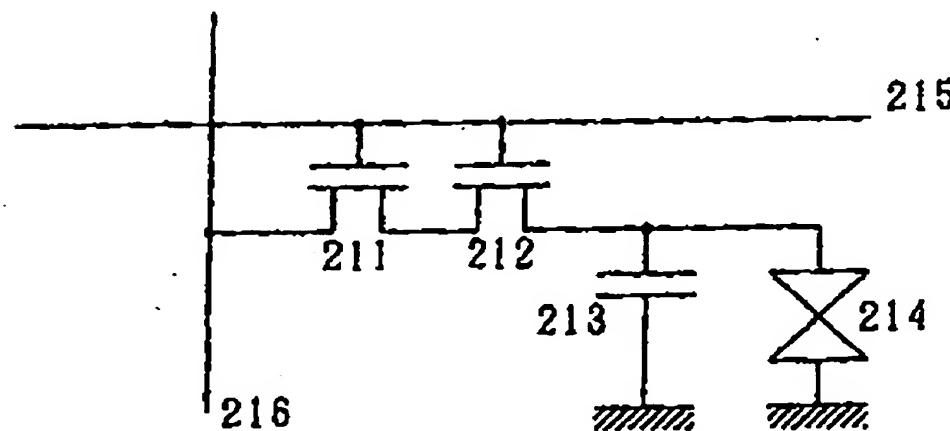
도면 1e



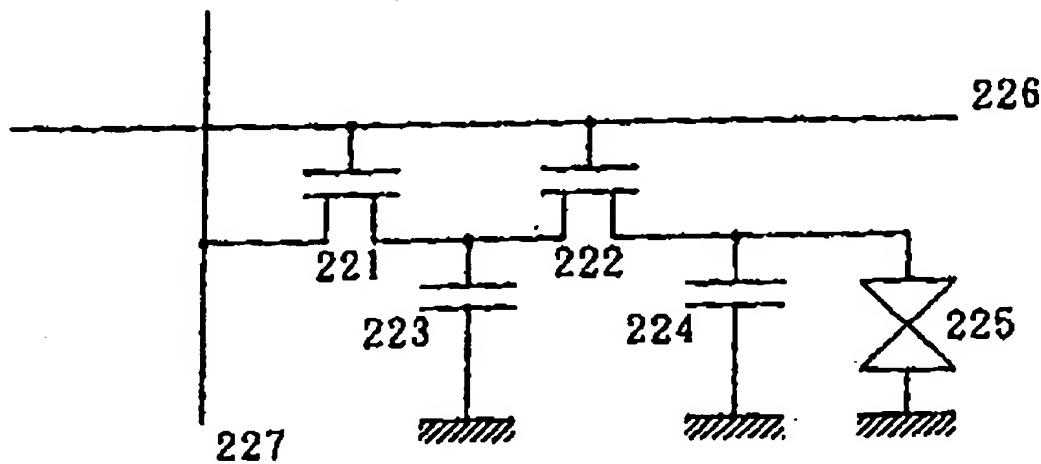
도면 2a



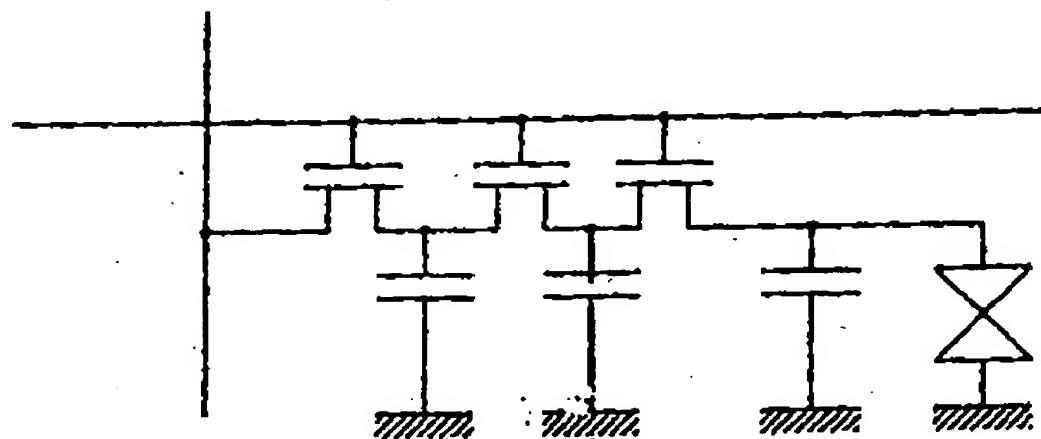
도면 2b



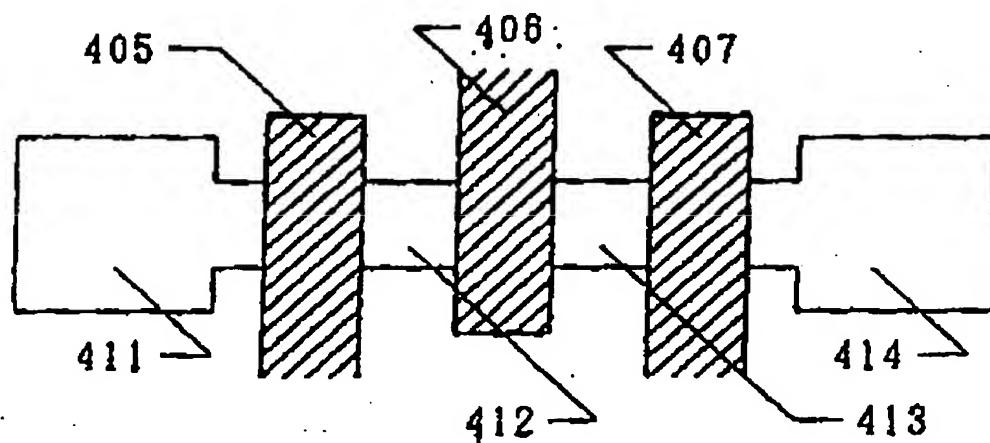
도면 2c



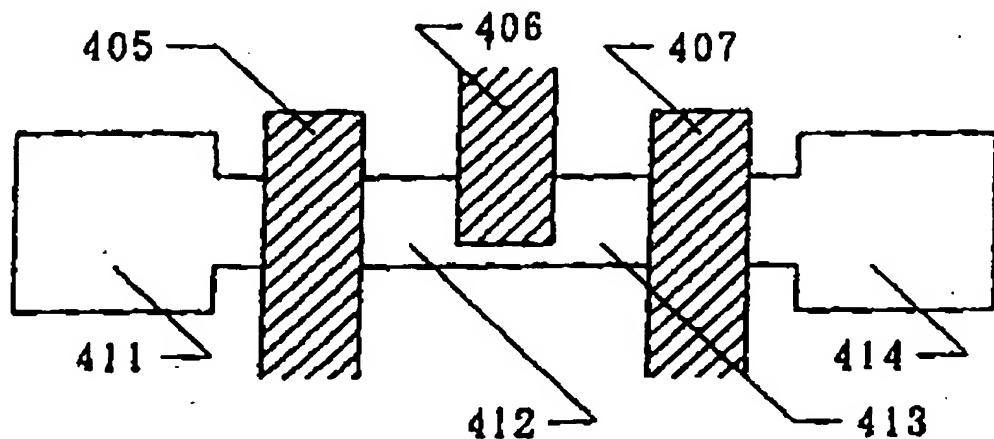
도면 2d



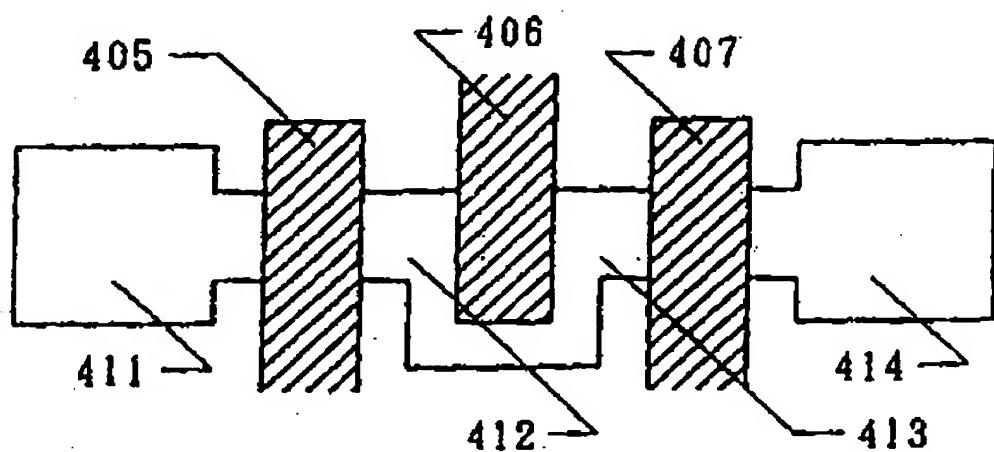
도면 3a



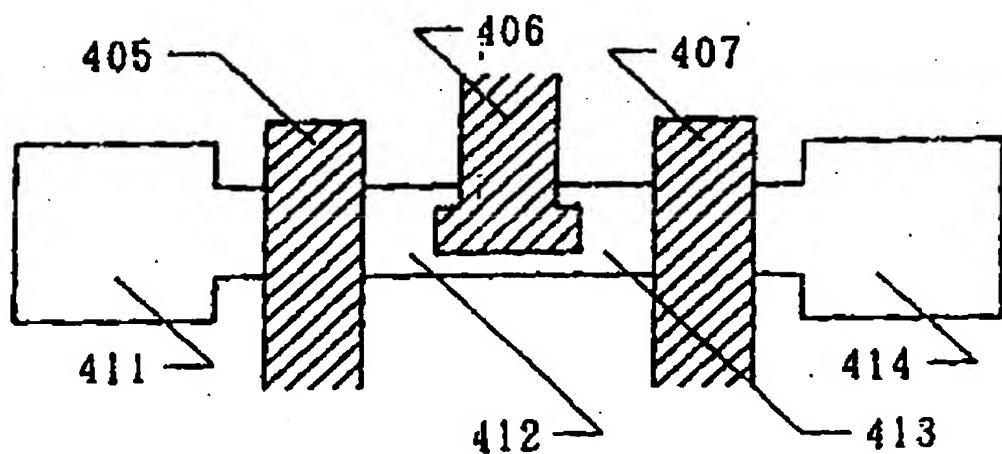
도면 3b



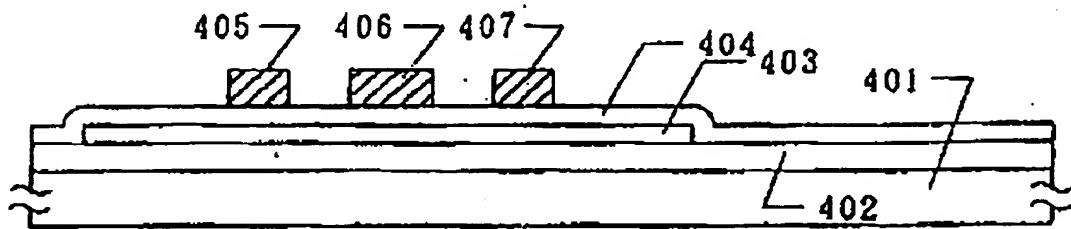
도면 3c



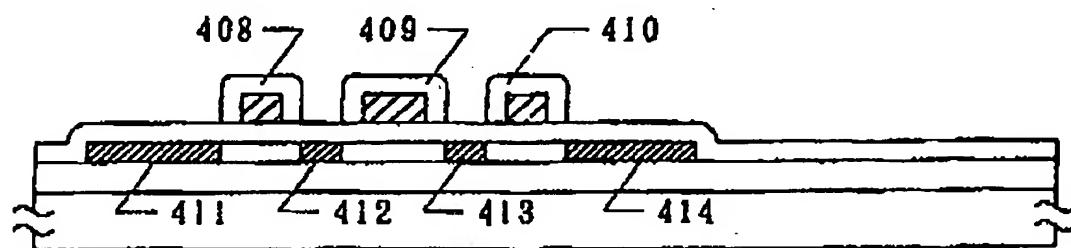
도면 3d



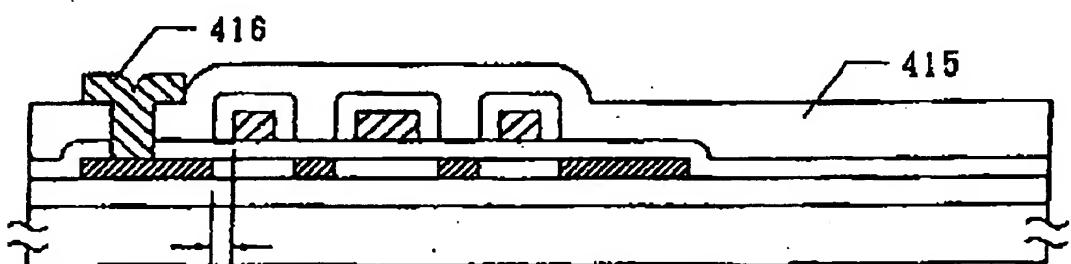
도면 4a



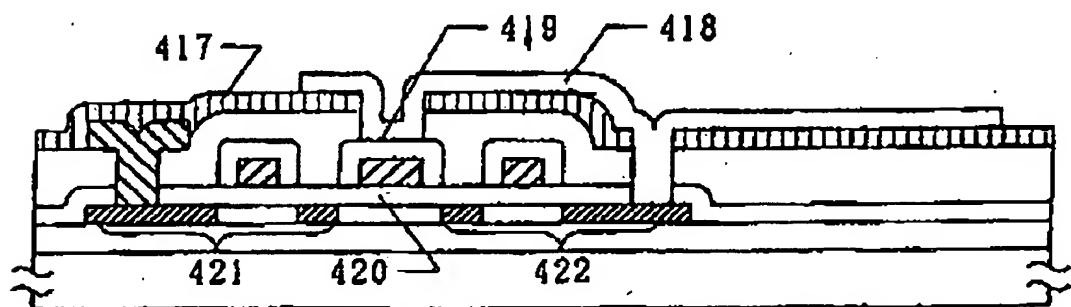
도면 4b



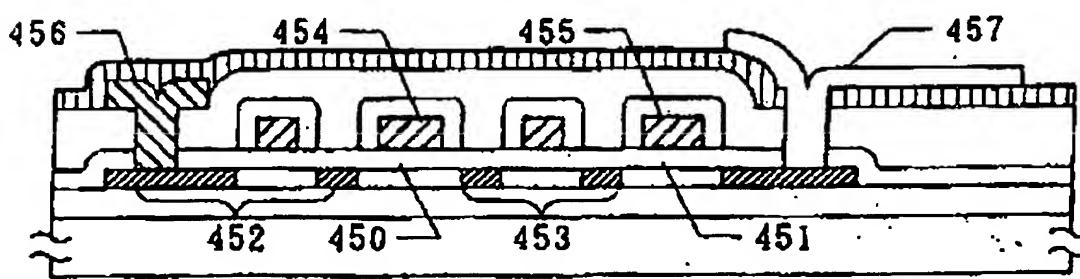
도면 4c



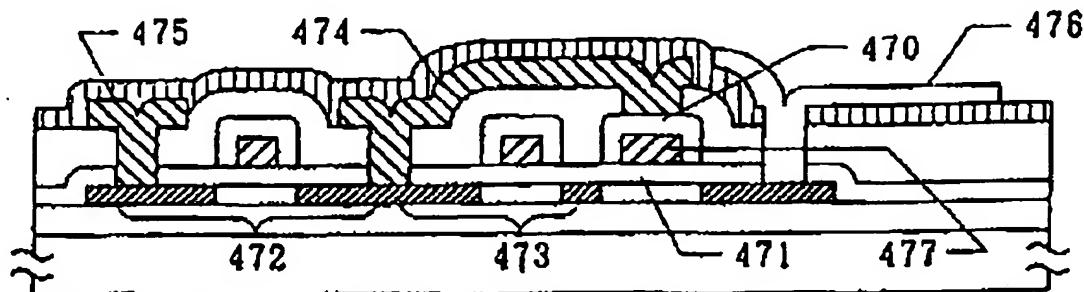
도면 4d



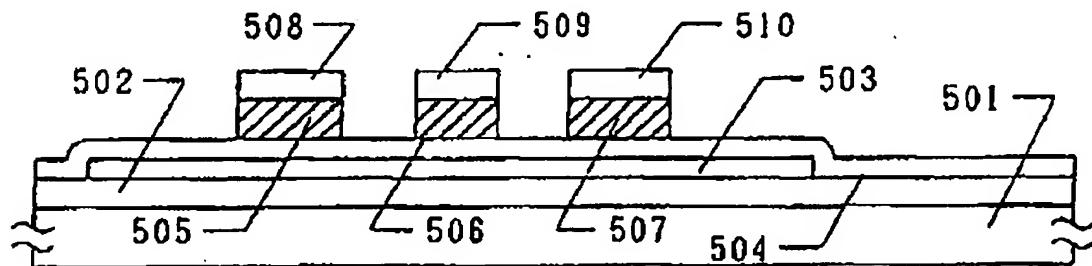
도면 4e



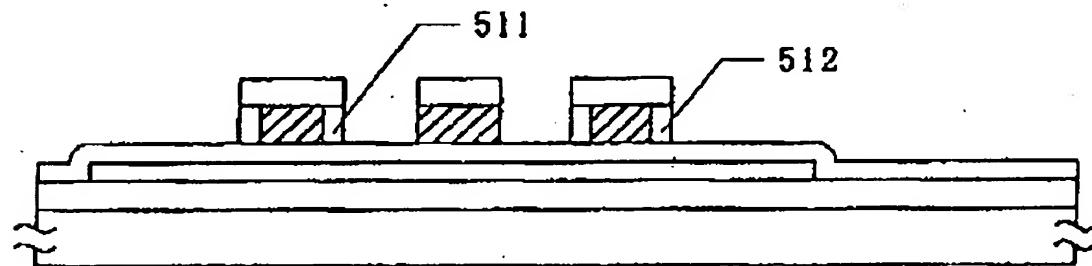
도면 4f



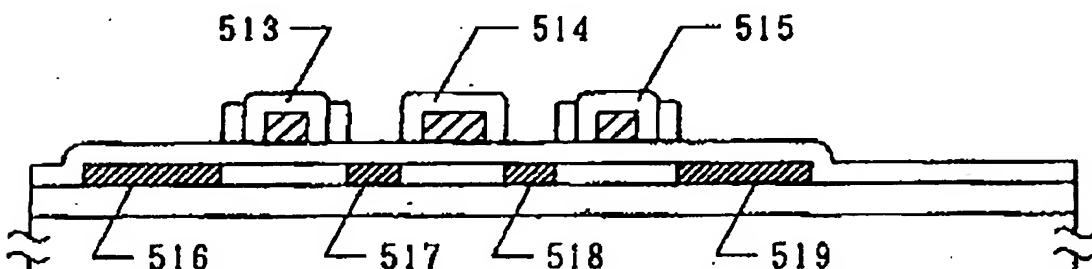
도면 5a



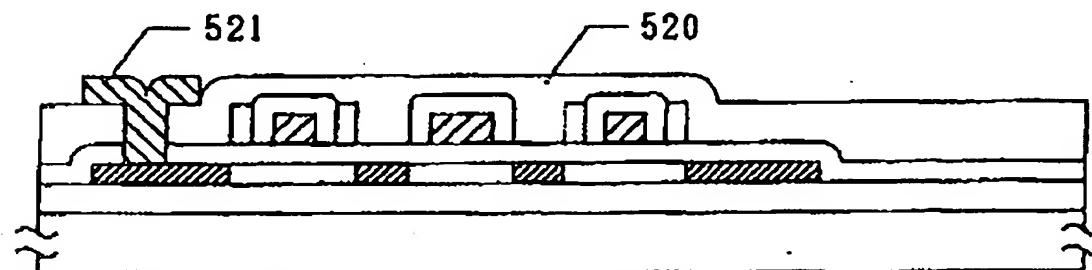
도면 5b



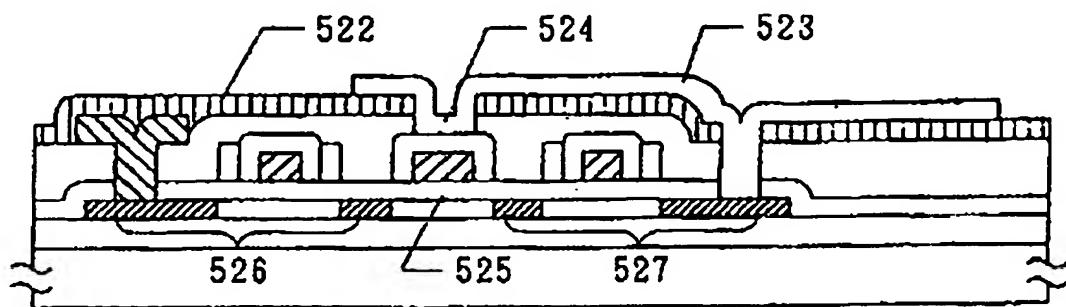
도면 5c



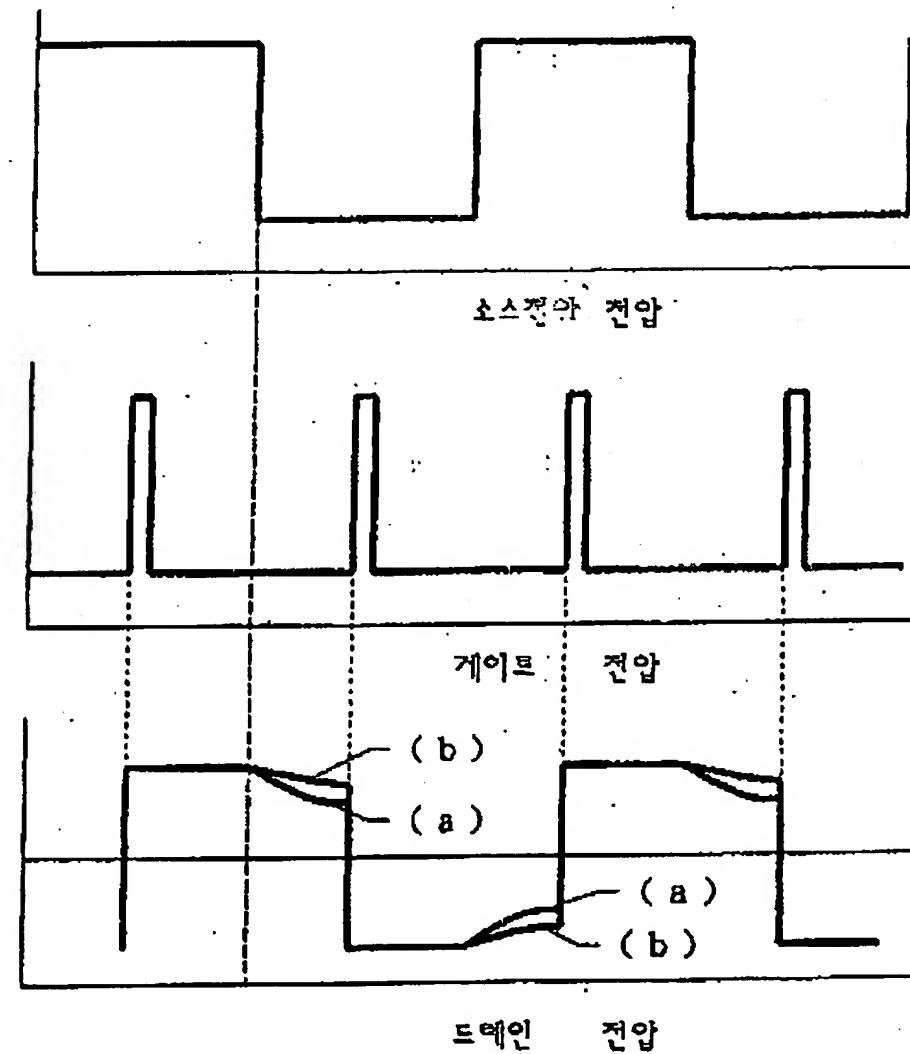
도면 5d



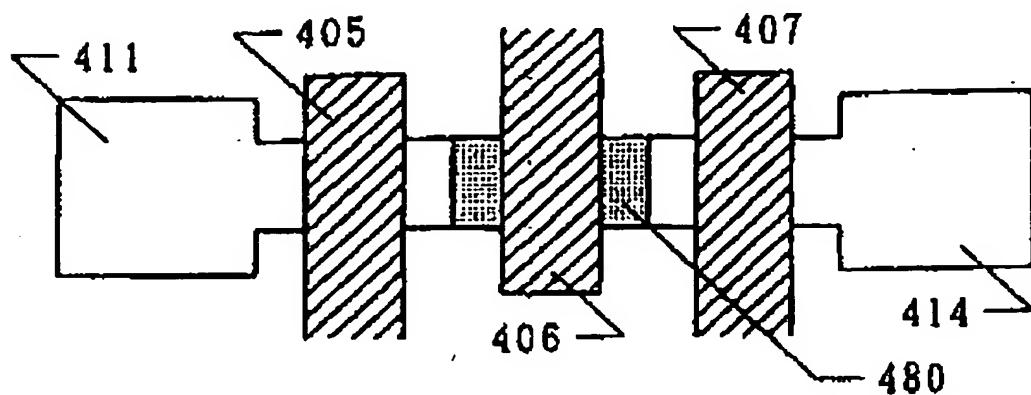
도면 5e



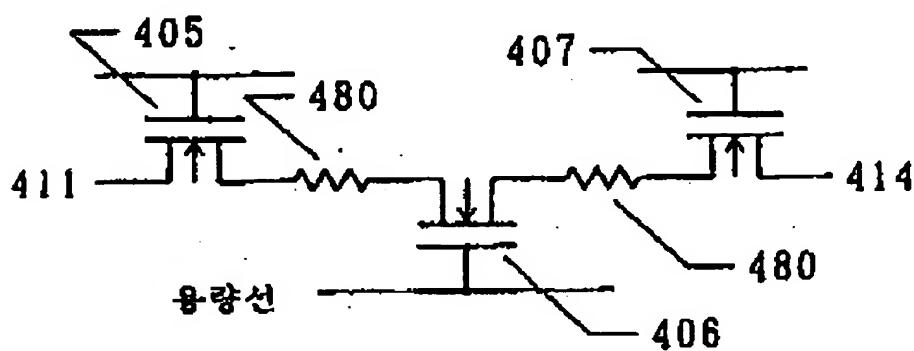
도면 6



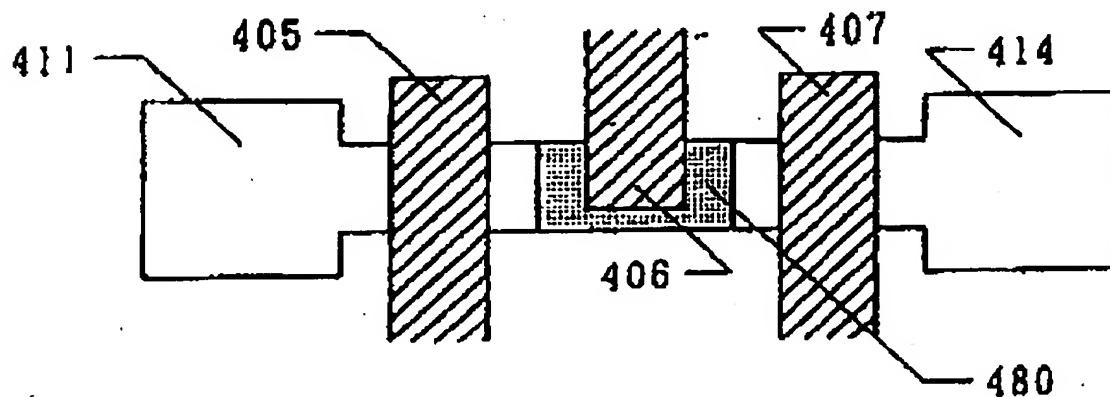
도면 7a



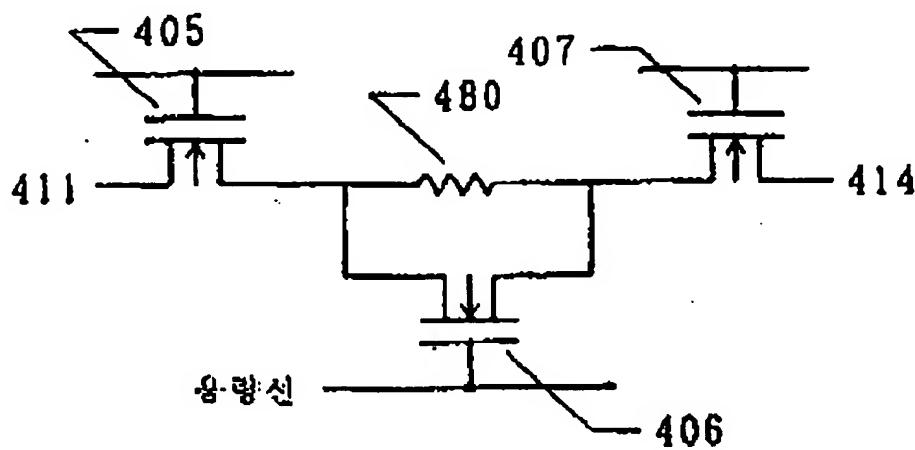
도면 7b



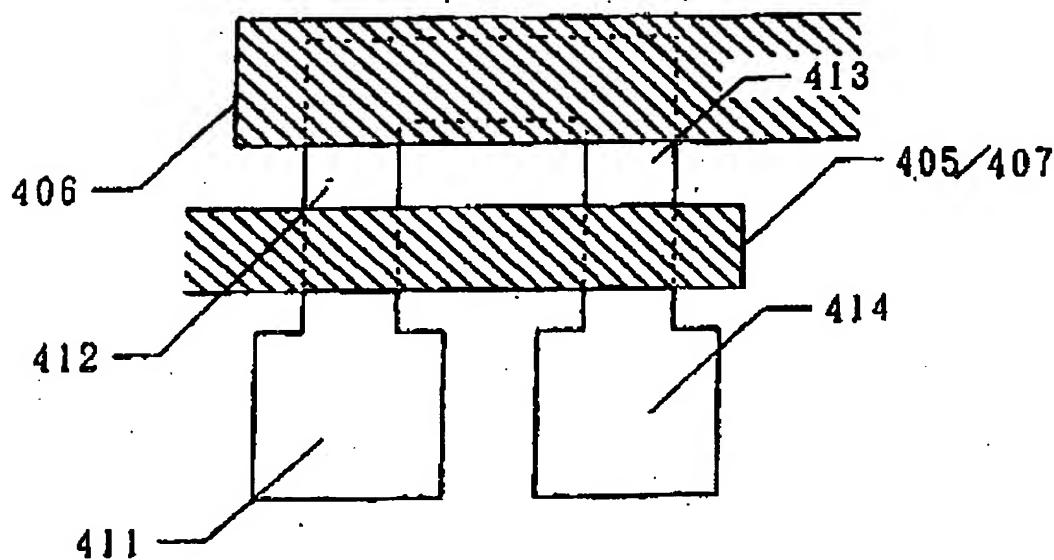
도면 7c



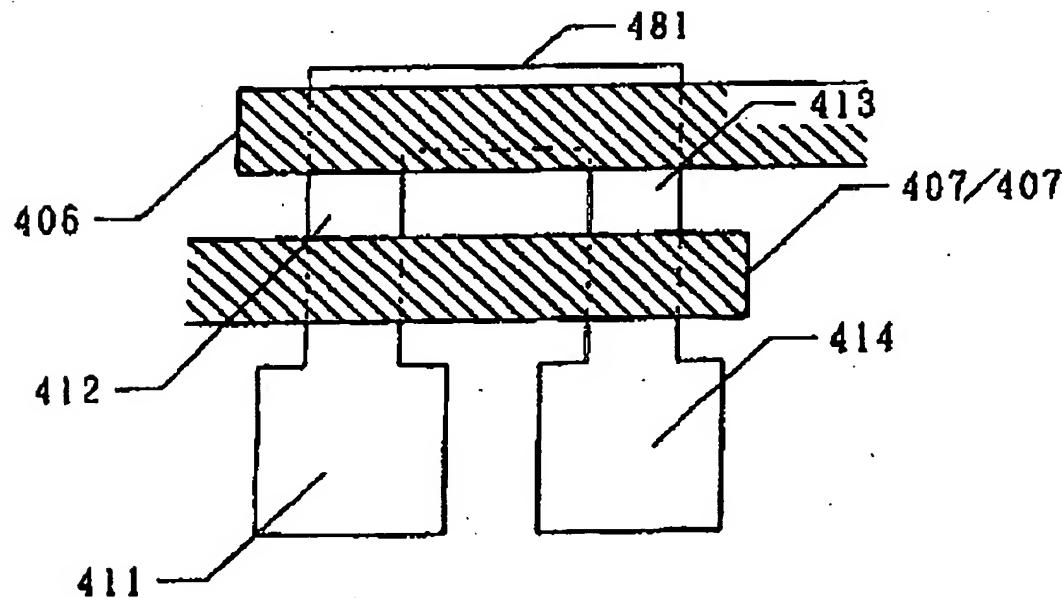
도면 7d



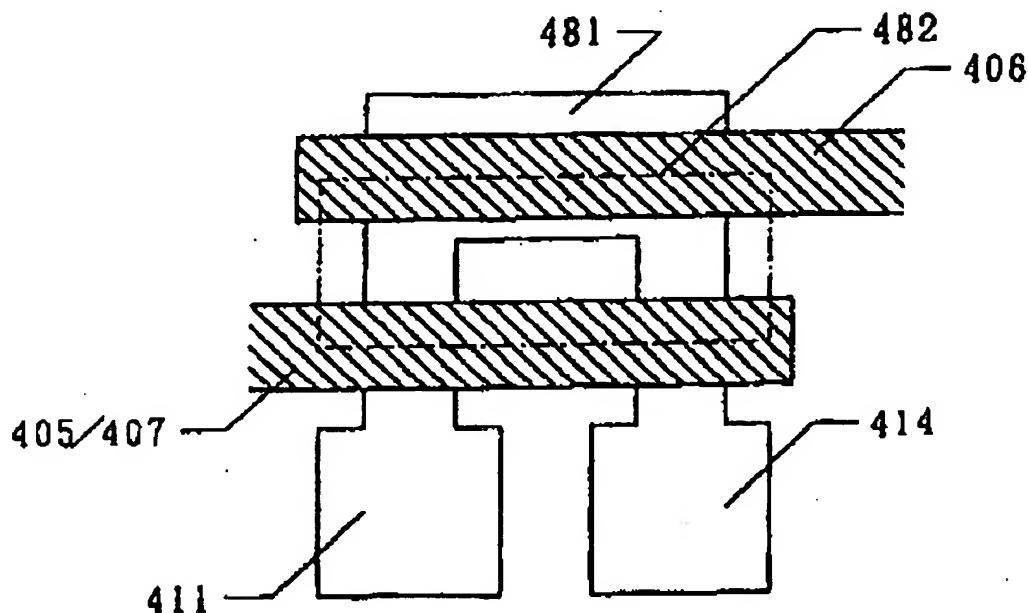
도면 8a



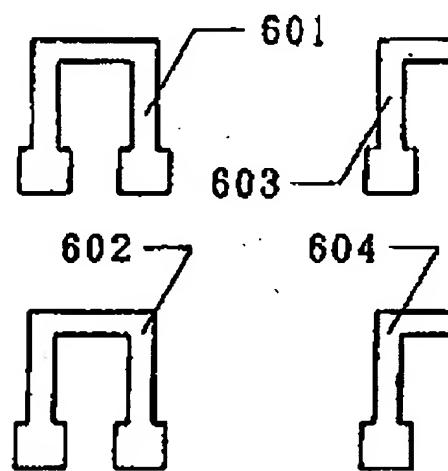
도면 8b



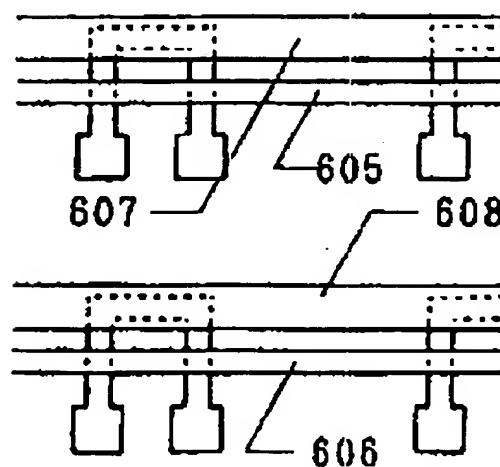
도면 8c



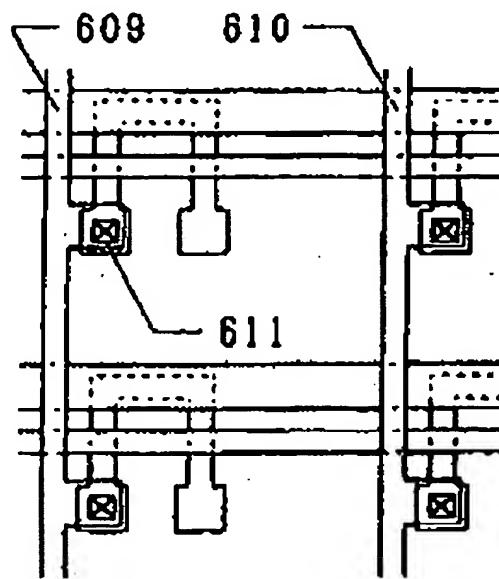
도면 9a



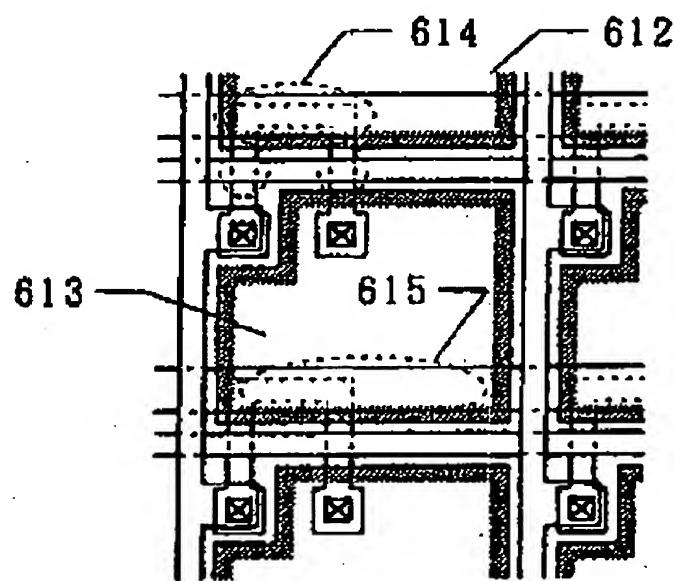
도면 9b



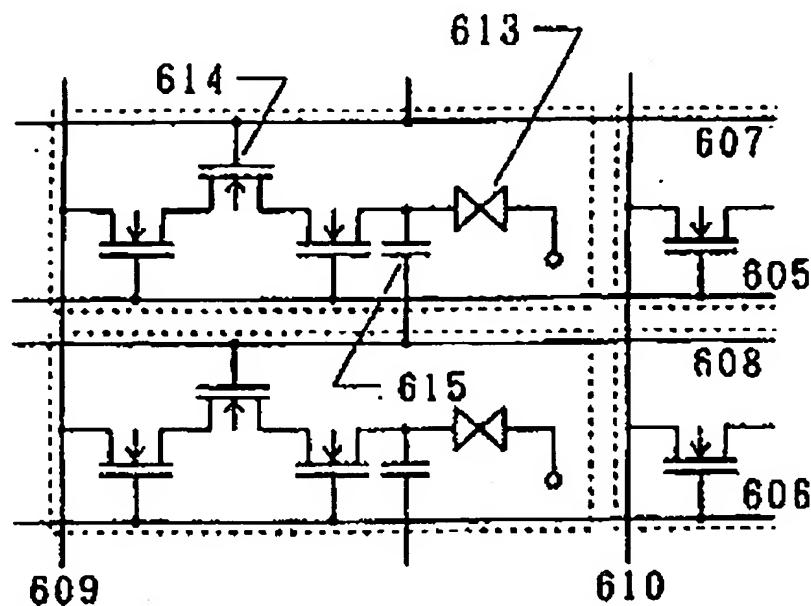
도면 9c



도면 9d

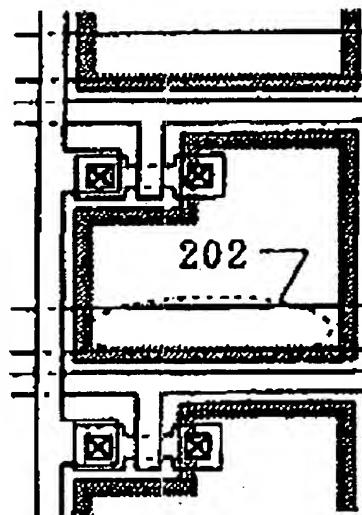


도면 9e

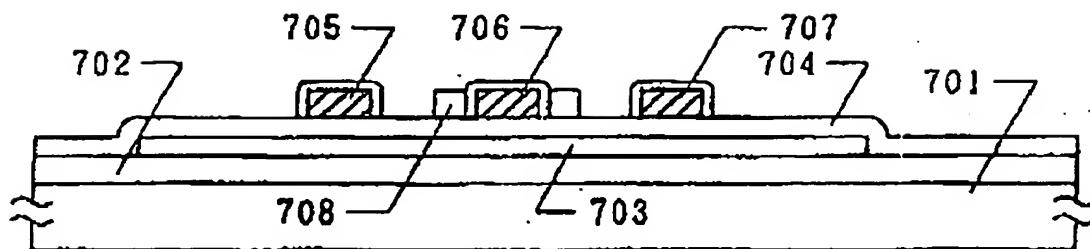


정선내 단위 화소

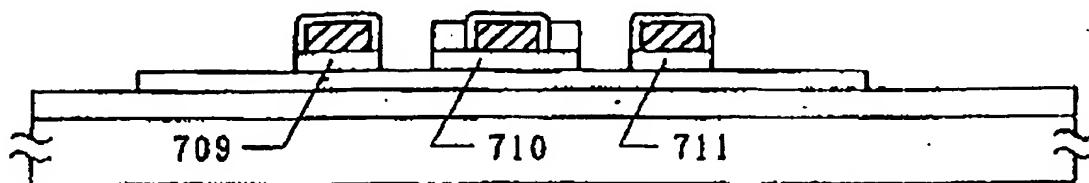
도면 9f



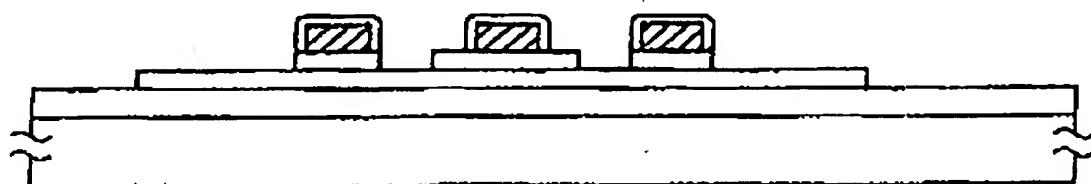
도면 10a



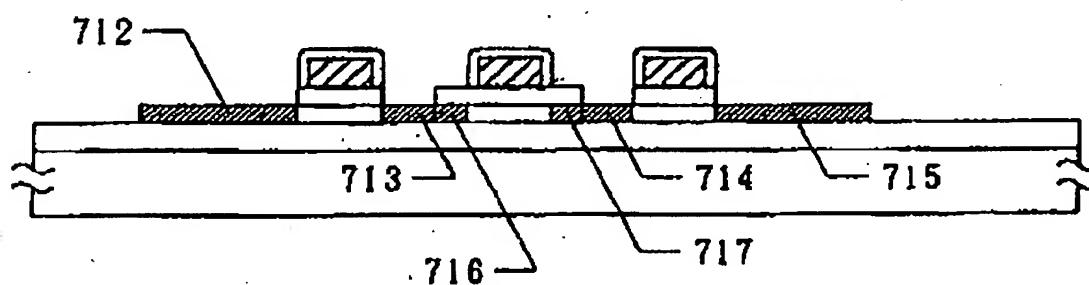
도면 10b



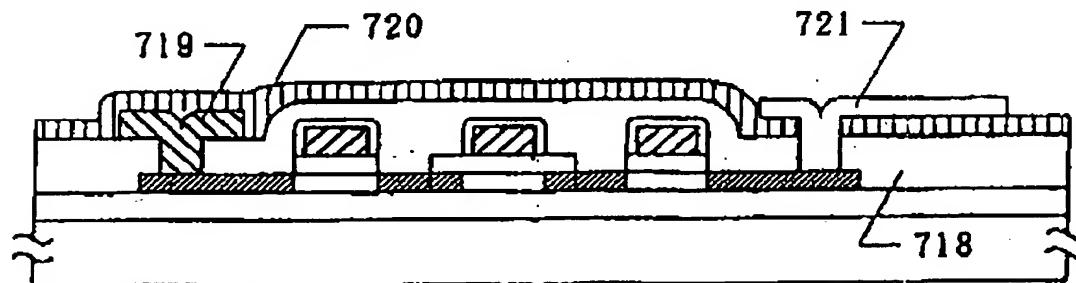
도면 10c



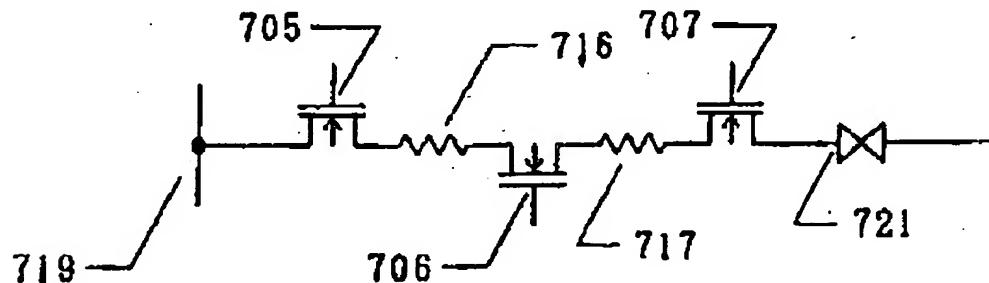
도면 10d



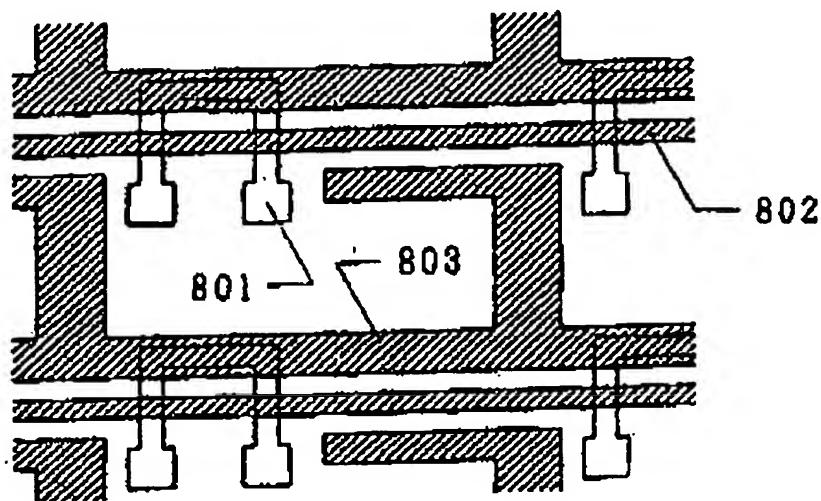
도면 10e



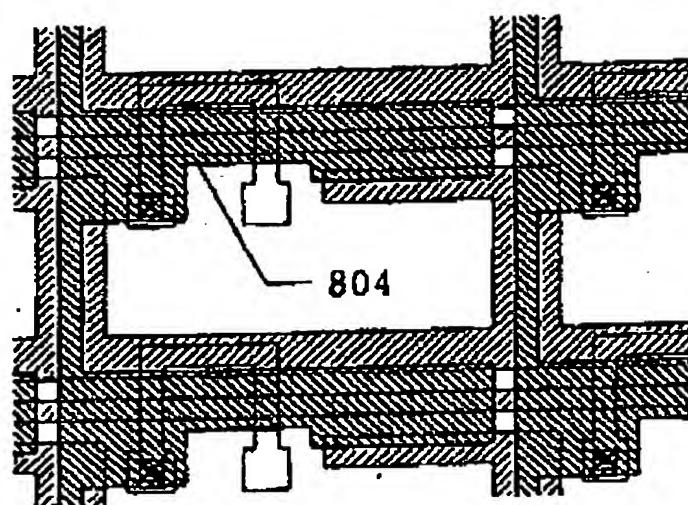
도면 10f



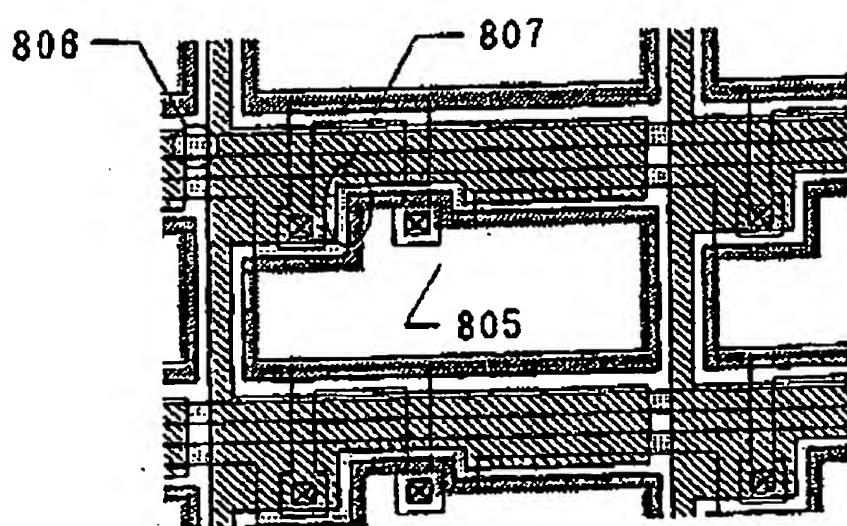
도면 11a



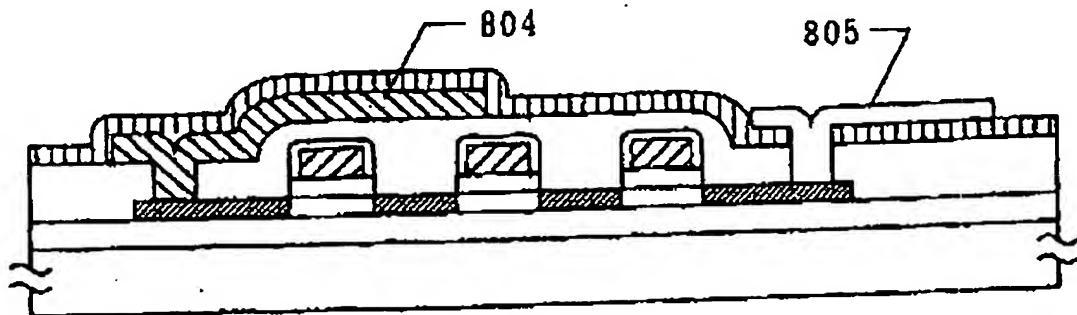
도면 11b



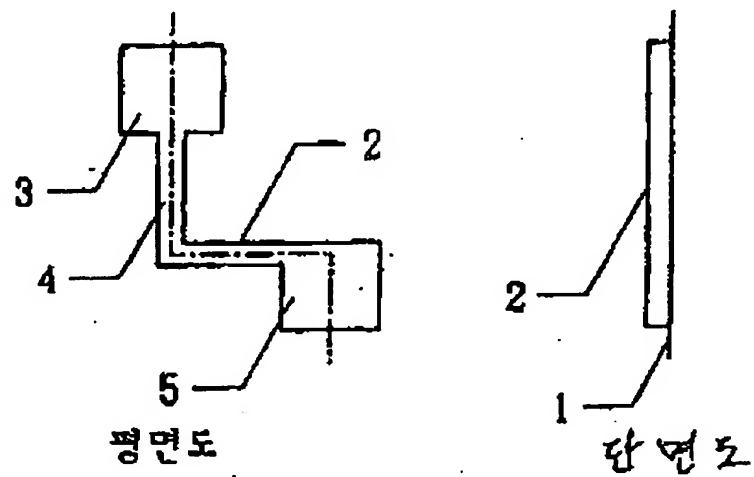
도면 11c



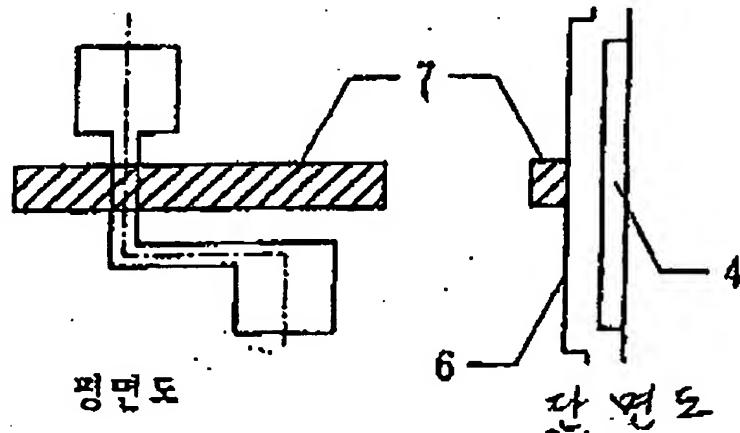
도면 12



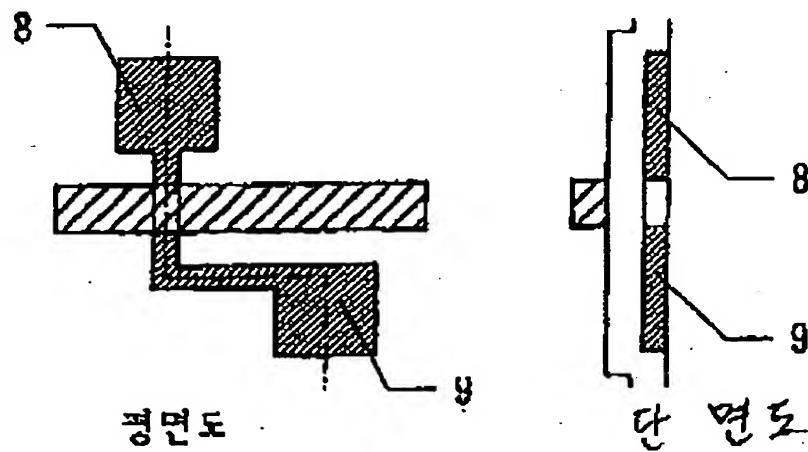
도면 13



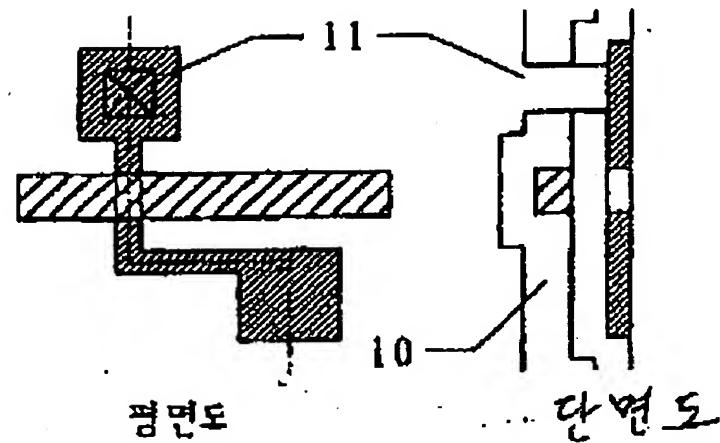
도면 14



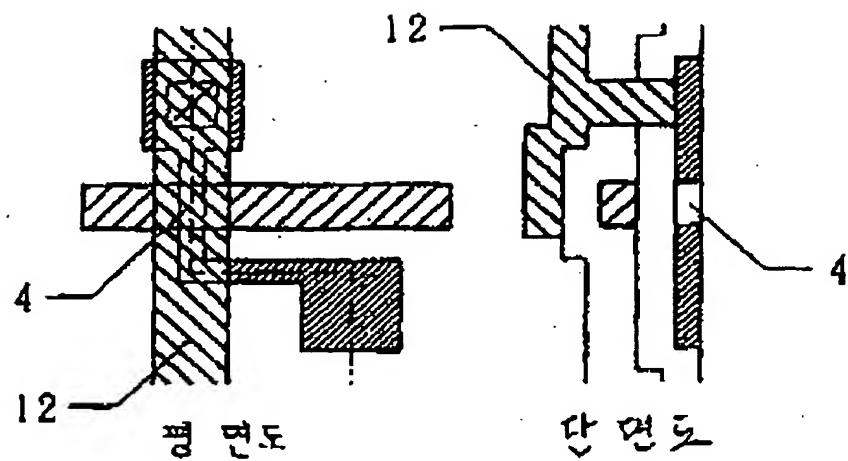
도면 15



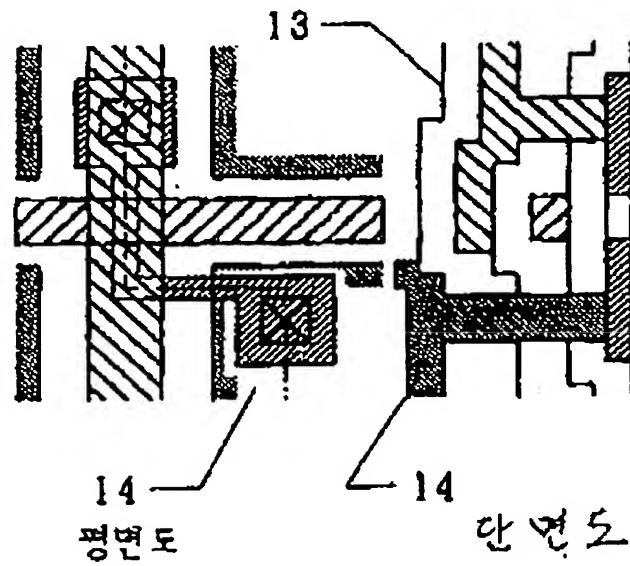
도면 16



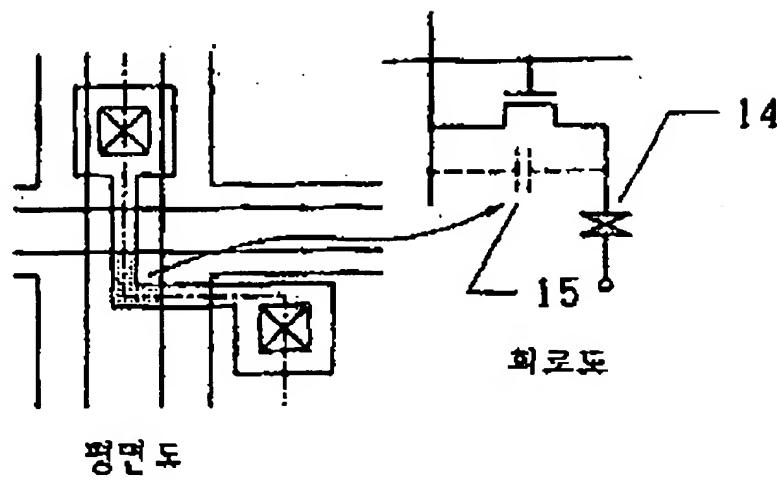
도면 17



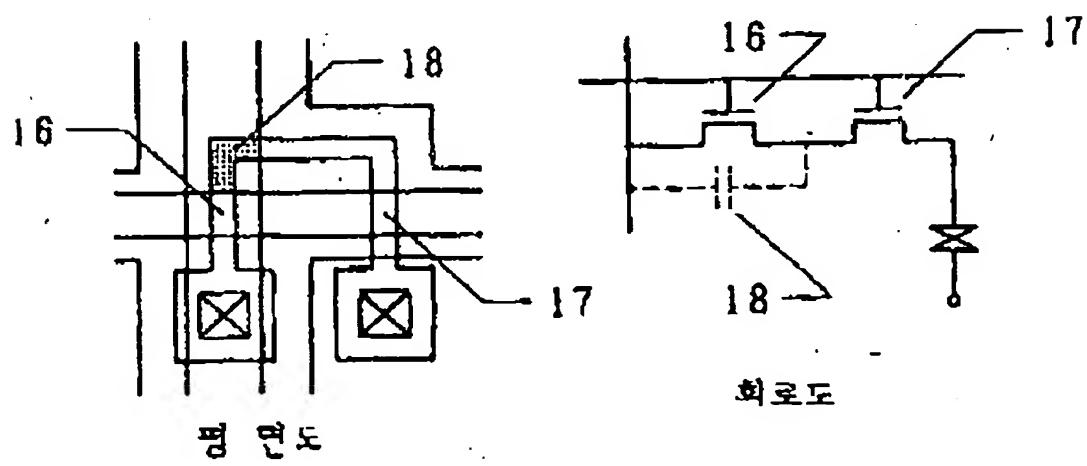
도면 18



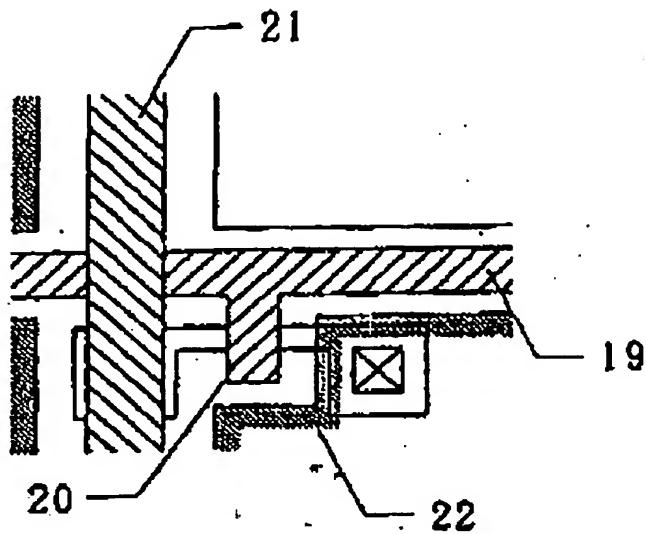
도면 19



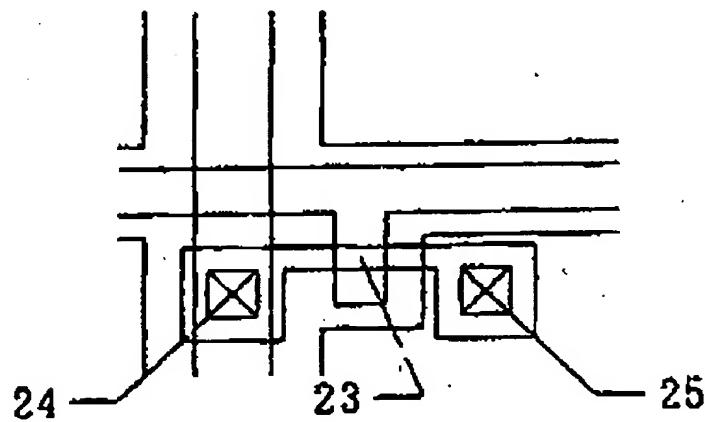
도면 20



도면 21



도면 22



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.